



Technology Innovator

Puya

PY32F403-C 系列数据手册

32 位 ARM® Cortex-M4F 微控制器



Puya Semiconductor (Shanghai) Co., Ltd.

产品特性

■ 内核与系统

- 32 位 ARM® Cortex®-M4F 处理器内核，支持 FPU 和 DSP 指令
- 典型工作频率可达 144 MHz

■ 存储器

- 高达 384 KB 字节的闪存程序存储器
- 高达 64 KB 字节的 SRAM

■ 复位和电源管理

- 1.8 ~ 3.6 V 供电
- 上电/断电复位 (POR/PDR)
- 可编程电压监测器 (PVD)

■ 时钟

- 内嵌 8 MHz 高速振荡器 (HSI8)
- 内嵌 48 MHz 专用高速振荡器 (HSI48)
- 内嵌 40 kHz 低速振荡器 (LSI)
- 外部 4 ~ 32 MHz 高速晶体振荡器 (HSE)
- 外部 32.768 kHz 低速振荡器 (LSE)
- PLL 支持 CPU 最高运行在 144 MHz

■ 低功耗

- 睡眠、停机和待机模式
- V_{BAT} 为 RTC 和后备寄存器供电

■ 3 个 12 位 ADC

- 1 μ s 转换时间 (多达 20 个输入通道)
- 转换范围: 0 ~ V_{CCA}
- 支持采样时间和分辨率配置
- 支持单次、连续、扫描和非连续多种转换模式
- 片上温度传感器
- 片上电压传感器
- 支持 Timer、EXTI 触发

■ 2 个 12 位 DAC

- 输出范围: 0 ~ V_{REF+}

— 独立输出通道

- 支持 Timer、EXTI 触发

■ 12 通道 DMA 控制器

- 支持的外设: Timer、ADC、DAC、UART、I²C、I²S、SPI、SDIO

■ 多达 80 个快速 I/O 端口:

- 所有 I/O 口可以映像到 16 个外部中断
- 部分端口支持 5 V 输入

■ 调试模式

- 串行调试 (SWD) 或 JTAG 接口

■ 多达 17 个定时器

- 2 个 16 位高级控制定时器, 有 4 通道 PWM 输出, 以及死区生成和紧急停止功能
- 10 个 16 位通用定时器, 有高达 4 个独立通道用于输入捕获/输出比较, 通用定时器还支持使用正交解码器的两个输入的编码器接口
- 2 个 16 位基本定时器, 通常用于产生 DAC 触发
- 2 个看门狗定时器 (独立的和窗口型的)
- 系统时间定时器: 24 位自减型计数器

■ 多达 13 个通信接口

- 5 个 UART 接口
- 2 个 I²C 接口
- 3 个 SPI 接口
- 1 个 ESMC 接口
- 1 个 CANFD 接口
- 1 个 USB 接口
- 1 个 SDIO 接口

■ 96 位的芯片唯一 ID (UID)

■ 封装: LQFP100、LQFP64、QFN64、LQFP48、QFN48、QFN32(4*4)

目录

产品特性	2
1. 简介	6
2. 功能概述	10
2.1. Arm® Cortex®-M4F 处理器	10
2.2. 存储器	10
2.3. 存储器保护单元 (MPU)	11
2.4. Flash 加速器 (ACC)	11
2.5. Boot 模式	11
2.6. 备份寄存器 (BKP)	12
2.7. 时钟系统	12
2.8. 电源管理	14
2.8.1. 电源框图	14
2.8.2. 电源监控	15
2.8.3. 电压调节器	16
2.8.4. 低功耗模式	16
2.9. 复位	16
2.9.1. 电源复位	16
2.9.2. 系统复位	17
2.9.3. 备份域复位	17
2.10. 通用输入输出 GPIO	17
2.11. DMA	17
2.12. 中断	18
2.12.1. 中断控制器 NVIC	18
2.12.2. 扩展中断 EXTI	19
2.13. 模数转换器 (ADC)	19
2.14. 数模转换器 (DAC)	19
2.15. 定时器	20
2.15.1. 高级定时器	20
2.15.2. 通用定时器	21
2.15.3. 基本定时器 TIM6/TIM7	21
2.15.4. IWDG	21
2.15.5. WWDG	22
2.15.6. SysTick 定时器	22
2.16. 实时时钟 RTC	22
2.17. 循环冗余校验计算单元 CRC	22
2.18. 时钟校验系统 CTC	23
2.19. 系统配置控制器 SYSCFG	23
2.20. Debug 支持 (DBG)	23

2.21.	SDIO	23
2.22.	I ² C 接口	24
2.23.	通用同步异步收发器 USART	25
2.24.	串行外设接口 SPI	26
2.25.	内部集成音频(I ² S).....	26
2.26.	外部串行存储控制器 (ESMC)	27
2.27.	USB 2.0 全速模块.....	27
2.28.	CANFD	28
2.29.	SWD	28
3.	引脚配置	29
3.1.	端口 A 复用功能映射	48
3.2.	端口 B 复用功能映射	49
3.3.	端口 C 复用功能映射	50
3.4.	端口 D 复用功能映射	51
3.5.	端口 E 复用功能映射	52
4.	存储器映射.....	53
5.	电气特性	57
5.1.	测试条件.....	57
5.1.1.	最小值和最大值	57
5.1.2.	典型值.....	57
5.2.	绝对最大额定值	57
5.3.	工作条件.....	58
5.3.1.	通用工作条件	58
5.3.2.	上下电工作条件	58
5.3.3.	复位和电压控制模块特性.....	59
5.3.4.	工作电流特性.....	59
5.3.5.	低功耗模式唤醒时间	62
5.3.6.	外部时钟源特性	62
5.3.7.	内部高频时钟源 HSI 特性	64
5.3.8.	内部低频时钟源 LSI 特性.....	65
5.3.9.	锁相环 PLL 特性	65
5.3.10.	存储器特性.....	65
5.3.11.	ESD & LU 特性	66
5.3.12.	I/O 电流注入特性	66
5.3.13.	EFT 特性.....	66
5.3.14.	端口特性	67
5.3.15.	ADC 特性.....	68
5.3.16.	DAC 特性.....	69
5.3.17.	温度传感器特性	72

5.3.18. 内置参考电压特性.....	72
5.3.19. 定时器特性.....	73
5.3.20. 通讯口特性.....	73
6. 封装信息	82
6.1. LQFP100 封装尺寸.....	82
6.2. LQFP64 封装尺寸.....	83
6.3. QFN64 封装尺寸	84
6.4. LQFP48 封装尺寸.....	85
6.5. QFN48 封装尺寸	86
6.6. QFN32 (4*4) 封装尺寸	87
7. 订购信息	88
8. 版本历史	89

1. 简介

PY32F403-C 系列微控制器采用高性能的 32 位 ARM® Cortex®-M4F 内核的 MCU。嵌入高达 384 KB Flash 和 64 KB SRAM 存储器，最高工作频率 144 MHz。包含多种不同封装类型多款产品。芯片集成多路 I²C、SPI、USART 等通讯外设，3 路 12 位 ADC，2 路 DAC，17 个定时器，1 个 USB 2.0，1 个 CANFD。

PY32F403-C 系列微控制器的工作温度范围为 -40 ~ 105 °C，工作电压范围 1.8 ~ 3.6 V。芯片提供睡眠、停止和待机低功耗工作模式，可以满足不同的低功耗应用。

PY32F403-C 系列微控制器适用于多种应用场景，例如控制器、手持设备、PC 外设、游戏和 GPS 平台、工业应用等。

表 1-1 PY32F403-C 系列 LQFP100/LQFP64/QFN64/LQFP48 产品规划及特征

外设		PY32F403V1DT7-C	PY32F403R1DT7-C	PY32F403R1DU7-C	PY32F403C1DT7-C
Flash (KB)		384	384	384	384
SRAM (KB)		64	64	64	64
定时器	通用定时器	10			
	高级定时器	2			
	SysTick	1			
	基本定时器	2			
	看门狗	2			
通讯口	USART	5	5	5	3
	I ² C	2	2	2	2
	SPI	3	3	3	3
	I ² S	3	3	3	3
	CANFD	1	1	1	1
	USBD	1			
	SDIO	1	1	1	-
DMA		12ch			
RTC		Yes			
GPIO		80	51	51	37
ESMC		1			
EXTI		16			
ADC (外部+内部通道数)		3 (16+4)	3 (16+4)	3 (16+4)	3 (10+4)
DAC(通道数)		2(2)			
工作电压		1.8 ~ 3.6 V			
最高主频		144 MHz			
工作温度		-40 ~ 105 °C			
封装		LQFP100	LQFP64	QFN64	LQFP48

表 1-2 PY32F403-C 系列 LQFP48/QFN48/QFN32 产品规划及特征

外设		PY32F403C1CT7-C	PY32F403C1CU7-C	PY32F403K1CU7-C	PY32F403K1BU7-C
Flash (KB)		256	256	256	128
SRAM (KB)		64	64	64	32
定时器	通用定时器	10			
	高级定时器	2			
	SysTick	1			
	基本定时器	2			
	看门狗	2			
通讯口	USART	3	2	2	2
	I ² C	2	1	1	1
	SPI	3	3	2	2
	I ² S	3	3	2	2
	CANFD	1	1	1	1
	USB	1			
	SDIO	-	-	-	-
DMA		12ch			
RTC		Yes			
GPIO		37	41	26	26
ESMC		1			
EXTI		16			
ADC (外部+内部通道数)		3 (10+4)	3 (11+4)	3 (10+4)	3 (10+4)
DAC(通道数)		2(2)			
工作电压		1.8 ~ 3.6 V			
最高主频		144 MHz			
工作温度		- 40 ~ 105 °C			
封装		LQFP48	QFN48	QFN32	

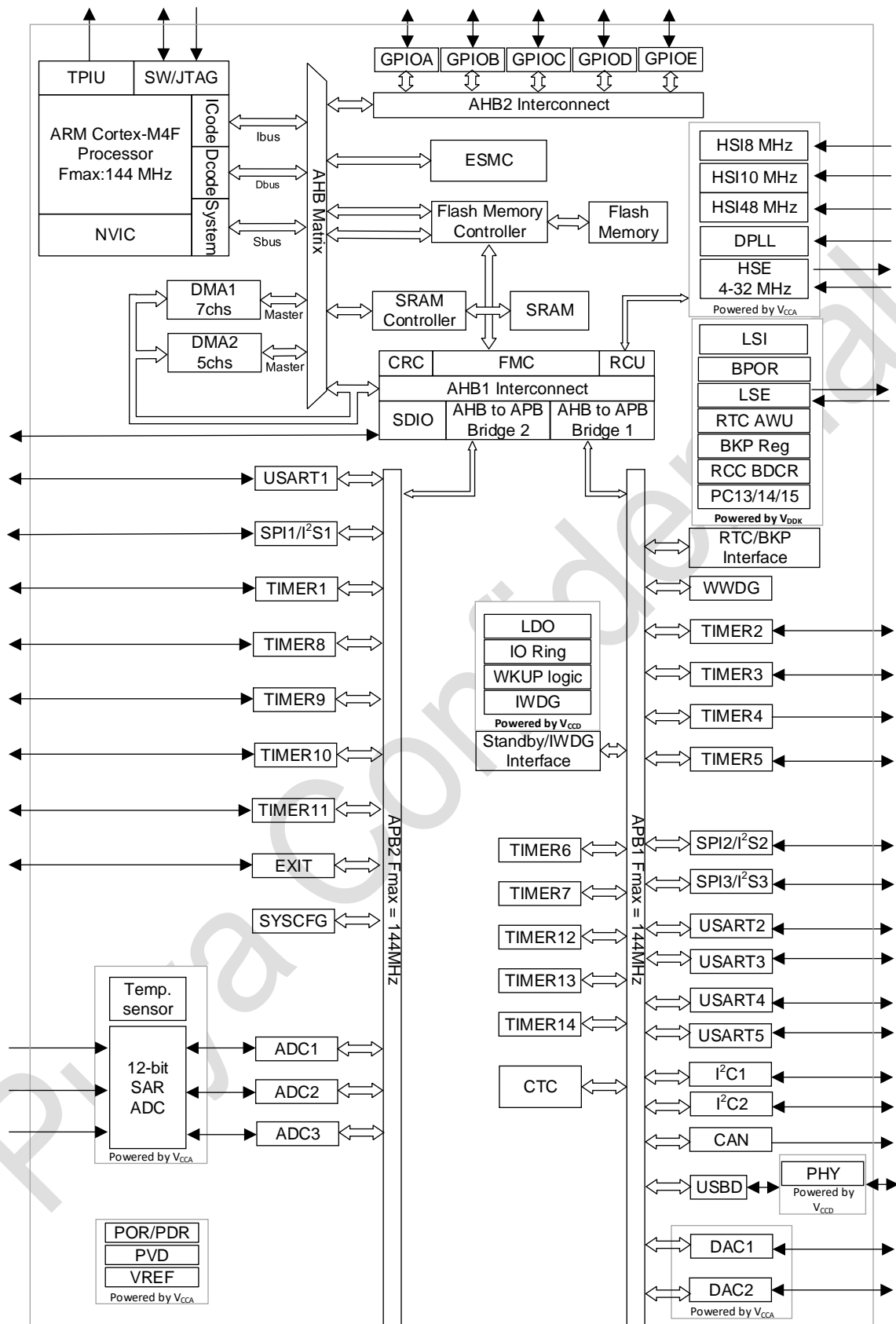


图 1-1 功能模块

2. 功能概述

2.1. Arm® Cortex®-M4F 处理器

ARM®的 Cortex®-M4F 处理器是支持 DSP 指令和 FPU 浮点运算的高性能嵌入式 32 位 RISC 处理器，具有优异的代码效率，采用通常 8 位和 16 位器件的存储器空间即可发挥 ARM 内核的高性能。该处理器支持一组 DSP 指令，能够实现有效的信号处理和复杂的算法执行。它的单精度 FPU（浮点单元）通过使用元语言开发工具，可加速开发，防止饱和。为 MCU 提供了低成本的平台，低引脚数、低功耗、同时提供卓越的计算性能和先进的中断系统响应。与所有 ARM 工具和软件兼容。

32 位 ARM®的 Cortex®-M4F 处理器

- 支持 144 MHz 工作频率
- 单周期乘法器和硬件除法器
- 集成 DSP 指令
- 嵌套的中断向量控制
- 24 位系统滴答定时器

ARM® Cortex®-M4F 处理器是基于 ARMv7-M 架构，支持 Thumb 和 Thumb-2 指令集。

- 内部总线矩阵连接 I-Code 总线、D-Code 总线、系统总线、私有外围总线 (PPB)和调试访问 (AHB-AP)
- 嵌套矢量中断控制器 (NVIC)
- Flash 补丁和断点 (FPB)
- 数据观察点和跟踪 (DWT)
- 指令跟踪宏单元 (ITM)
- 串口线 JTAG 调试端口 (SWJ-DP)
- 跟踪端口接口单元 (TPIU)
- 浮点运算单元 (FPU)
- 内存保护单元 (MPU)

2.2. 存储器

片内集成 SRAM。通过 bytes (8 位)、half-word (16 位) 或者 word (32 位) 的方式可访问 SRAM。

片内集成 Flash，包含两个不同的物理区域组成：

- Main flash 区域，它包含应用程序和用户数据
- Information 区域，24 KB，它包括以下部分：
 - Option bytes
 - UID bytes

— System memory

对 Main flash memory 的保护包括以下几种机制：

- 读保护（RDP），防止来自外部的访问。
- 写保护（WRP）控制，以防止不想要的写操作（由于程序存储器指针的混乱）。写保护的最小保护单位为 8 KB。
- 选项字节写保护，专门的解锁设计。

2.3. 存储器保护单元（MPU）

存储器保护单元（MPU）用于管理 CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区，还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4G 字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则 MPU 尤其有用。它通常由 RTOS（实时操作系统）管理。若程序访问的存储器位置被 MPU 禁止，则 RTOS 可检测到它并采取行动。在 RTOS 环境中，内核可基于执行的进程，动态更新 MPU 区的设置。MPU 是可选的，若应用不需要则可绕过。

2.4. Flash 加速器（ACC）

为了发挥处理器的全部性能，该加速器将实施指令预取队列和分支缓存，从而提高了 Flash 的程序执行速度。根据 CoreMark 基准测试，该加速器所获得的性能需要达到相当于 Flash 在 CPU 频率高达 144 MHz 时以等待周期执行程序。

- ICODE 可以进行指令预取
- 指令缓存 64 条分支，数据位宽为 128 位
- 数据缓存 16 条分支，数据位宽为 128 位

2.5. Boot 模式

通过 BOOT0 pin 和 BOOT1 pin，可选择三种不同的启动模式，如下表所示：

表 2-1 Boot 配置

Boot 模式配置		Mode
BOOT1 Pin	BOOT0 pin	
X	0	选择 Main flash 作为启动区
0	1	选择 System memory 作为启动区
1	1	选择 SRAM 作为启动区

Boot loader 程序存储在 system memory，用于通过 USART 和 USB 接口下载 Flash 程序。

2.6. 备份寄存器 (BKP)

备份寄存器是 42 个 16 位的寄存器，可用来存储 84 个字节的用户应用程序数据。该模块处在备份域里，当 V_{CC} 电源被切断，他们仍然由 V_{BAT} 维持供电。当系统在待机模式下被唤醒，或系统复位或电源复位 (POR) 时，他们也不会被复位。

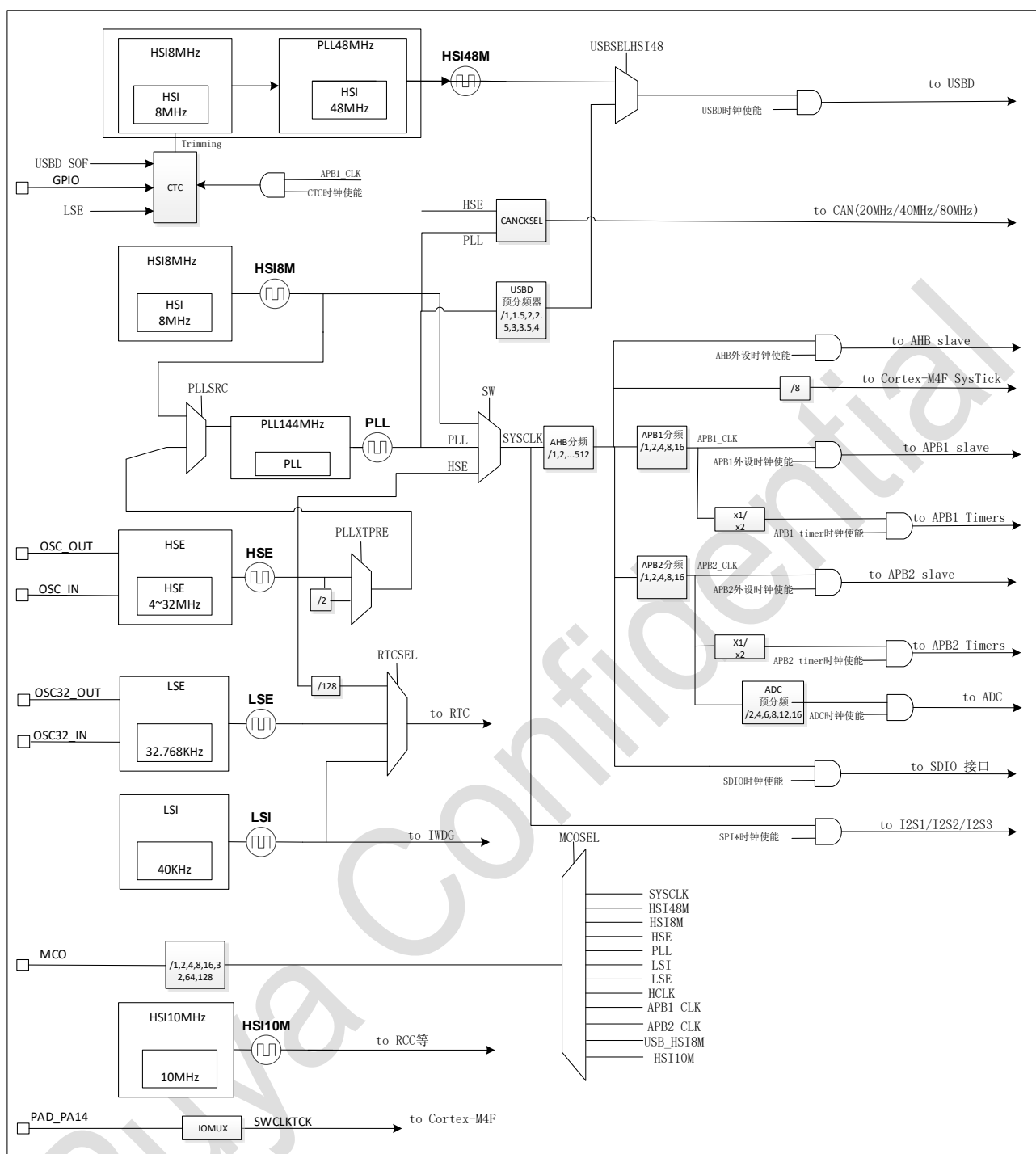
- 支持 84 字节数据后备寄存器
- 用来管理防侵入检测并具有中断功能的状态/控制寄存器
- 用来存储 RTC 校验值的校验寄存器。
- 在 PC13 引脚（当该引脚不用于侵入检测时）上输出 RTC 校准时钟，RTC 闹钟脉冲或者秒脉冲

2.7. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 8 MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个 8 MHz 内部高精度 HSI8 时钟
- 一个 48 MHz 内部高精度 HSI48 时钟
- 一个 40 kHz 可配置的内部 LSI 时钟
- 4 ~ 32 MHz HSE 时钟，并且可以使能 CSS 功能检测 HSE。如果 CSS 失效，硬件会自动转换系统时钟为 HSI，HSI 频率由软件配置，同时 CPU NMI 中断产生
- 一个 32.768 kHz LSE 时钟
- PLL 时钟，PLL 源可以选择 HSI 或 HSE。如果选择 HSE 源，当 CSS 使能并且 CSS 失效时，关闭 PLL 和 HSE，硬件选择系统时钟源为 HSI

AHB 时钟可以基于系统时钟分频，APB 时钟可以基于 AHB 时钟分频。AHB 和 APB 时钟频率最高为 144 MHz。



2.8. 电源管理

2.8.1. 电源框图

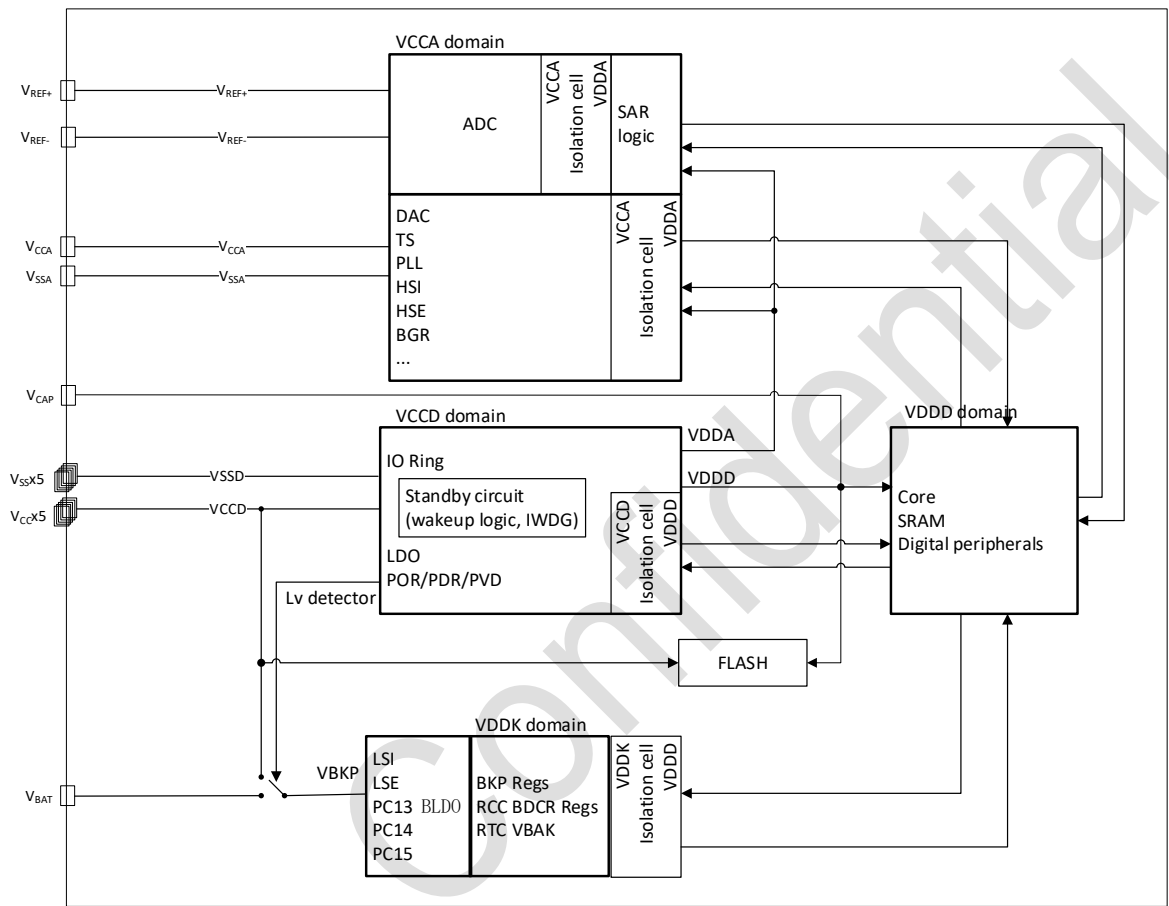


图 2-2 电源框图

表 2-2 电源框图

编号	电源	电源值	描述
1	V _{CC}	1.8 V ~ 3.6 V	通过电源管脚为芯片提供电源。
2	V _{CAP} ⁽¹⁾	1.1 V	来自于 VR 的输出，为芯片内部主要逻辑电路、SRAM 供电。当 MR 供电时，输出 1.1 V。当进入 Stop 模式时，根据软件配置，可以由 MR 或者 LPR 供电，并根据软件配置决定 LPR 输出。
3	V _{CCA}	1.8 V ~ 3.6 V	通过电源管脚为芯片模拟电路提供电源。
4	V _{BAT}	1.65 ~ 3.6 V	为 RTC 和 BKP 寄存器供电。

1. 主调压器的稳定性是通过将外部电容连接到 V_{CAP} 引脚实现的，电容值 C_{EXT} 根据系统的稳定性要求确定电容值 C_{EXT} 和 ESR 要求如下表：

表 2-3 V_{CAP} 工作条件

符号	参数	最小值	最大值	单位
C _{EXT}	外部电容的电容值	0.1	1	μF
ESR	外部电容的等效串联电阻 ESR	-	0.5	Ω

2.8.2. 电源监控

2.8.2.1. 上下电复位 (POR/PDR)

芯片内设计上电复位 (POR) / 掉电复位 (PDR) 模块，为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

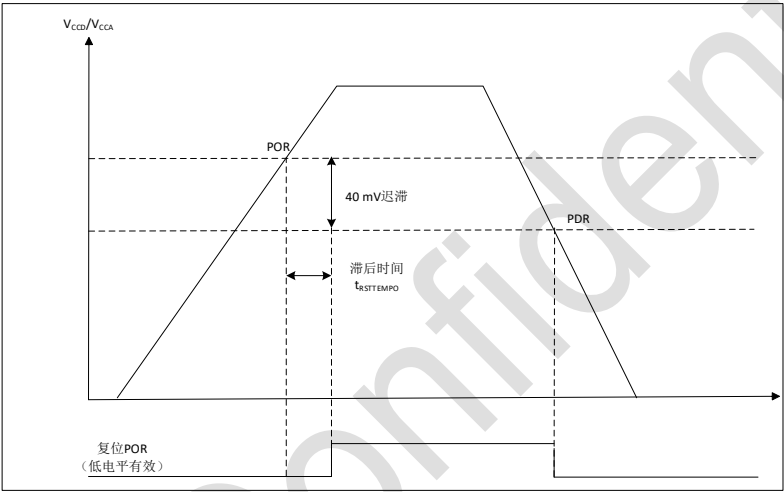


图 2-3 POR/PDR 阈值

2.8.2.2. 电压检测 (PVD)

电压检测 (PVD, Programmable voltage detector) 模块可以用来检测 V_{CC} 电源，检测点可通过寄存器进行配置。当 V_{CC} 高于或低于 PVD 的检测点时，产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16，取决于 EXTI line 16 上升/下降沿配置，当 V_{CC} 上升超过 PVD 的检测点，或者 V_{CC} 降低到 PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的 shutdown 任务。

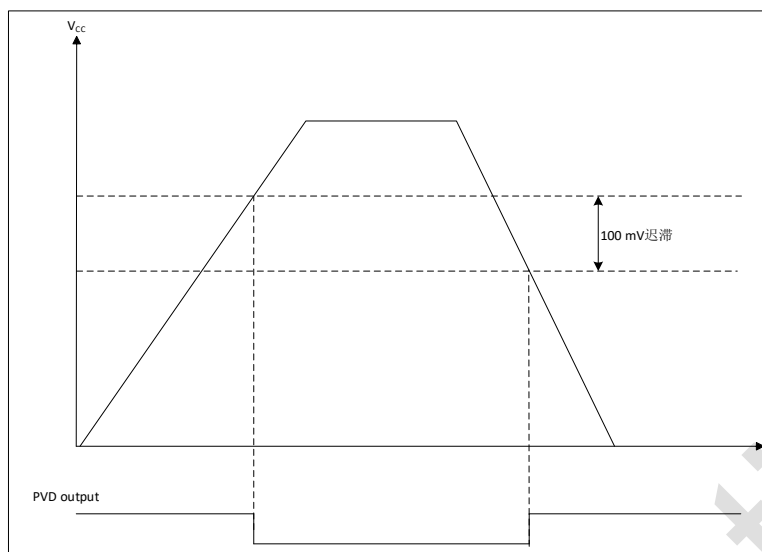


图 2-4 PVD 阈值

2.8.3. 电压调节器

芯片设计三个电压调节器：

- 主模式 MR (Main regulator) 在芯片正常运行状态时保持工作。
- 低功耗模式 LPR (Low power regulator) 在 Stop 模式下，提供更低功耗的选择。
- 关断模式用于 CPU 待机模式 (LDO 输出高阻，内核供电切断，寄存器和 SRAM 内容丢失)。

2.8.4. 低功耗模式

芯片在正常的运行模式之外，有 3 个低功耗模式：

- 睡眠模式 (Sleep)：CPU 时钟关闭 (NVIC, SysTick 等工作)，外设可以配置为保持工作。(建议只使能必须工作的模块，在模块工作结束后关闭该模块)。
- 停止模式 (Stop)：该模式下 SRAM 和寄存器的内容保持，高速时钟 PLL、HSI 和 HSE 关闭，V_{DD} 域下大部分模块时钟都被停掉。GPIO, PVD 和 RTC 可以唤醒 Stop 模式。
- 待机模式 (Standby)：芯片存在 V_{BAT} 电源，所以在 V_{CC} 掉电时，芯片仅 V_{BKP} 域工作。从待机模式退出的条件有四种：NRST 上的外部复位、IWDG 复位、RTC 闹钟到时、WKUP 管脚上的上升沿。

2.9. 复位

芯片内设计三种复位分别是：电源复位、系统复位和备份域复位。

2.9.1. 电源复位

电源复位在以下几种情况下产生：

- 上下电复位 (POR / PDR)
- 在退出待机模式时

2.9.2. 系统复位

当产生以下事件时，产生系统复位：

- NRST pin 的复位
- 窗口看门狗复位 (WWDG)
- 独立看门狗复位 (IWDG)
- SYSRESETREQ 软件复位
- Option byte load 复位 (OBL)

2.9.3. 备份域复位

只要发生以下事件之一，就会产生备份域复位：

- 软件复位：通过将 RCC 备份域控制寄存器 (RCC_BDCR) 中的 BDRST 位置 1 触发。
- 在电源 V_{CC} 和 V_{BAT} 都已掉电后，其中任何一个又再上电。

2.10. 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出 (push-pull 或者 open drain)，输入 (floating, pull-up / down, analog)，外设复用功能，锁定机制会冻结 I/O 口配置功能。GPIO 功能概要如下：

- 寄存器支持 IO Port / AHB 总线读写
- 输出状态：推挽输出或者开漏输出 + 上拉/下拉
- 数据输出来自数据寄存器 (GPIOx_ODR) 或者外设 (复用功能输出)
- 每个 I/O 可进行速度选择
- 输入状态：浮空，上拉/下拉，模拟
- 数据输入送给输入数据寄存器 (GPIOx_IDR) 或者外设 (复用功能输入)
- 位置位/复位寄存器 (GPIOx_BSRR)，允许对 GPIOx_ODR 的位写访问
- 锁定机制 (GPIOx_LCKR) 会冻结 I/O 口配置功能
- 模拟功能
- 复用功能选择寄存器 (每个 IO 口最多 16 种复用功能)
- 高度灵活的 I/O 多路选择功能，使得 I/O 口作为 GPIO，或者作为各种外设接口功能

2.11. DMA

直接存储器存取 (DMA) 用来提供在外设和存储器之间、或者存储器和存储器之间的高速数据传输。搬运数据无需 CPU 干预，数据可以通过 DMA 快速地移动，这就节省了 CPU 的资源来做其他操作。该器件具有两个通用双端口 DMA (DMA1 和 DMA2)，分别有 7 个和 5 个通道，每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

主要功能如下：

- 单 AHB master
- 支持外设到存储器，存储器到外设，存储器到存储器和外设到外设的数据传输

- 片上存储器设备，如 Flash，SRAM，AHB 和 APB 外设，作为源和目标
- 所有 DMA 通道均可独立配置：
 - 每个通道要么与来自外设的 DMA 请求信号相关联，要么与存储器到存储器传输中的软件触发器相关联。这个配置是由软件完成的。
 - 请求之间的优先级由软件可编程（每个通道 4 级：非常高、高、中、低），在相等的情况下由硬件可编程（例如对通道 1 的请求比对通道 2 的请求优先）。
 - 源和目标的传输大小是独立的（字节、半字、字），模拟打包和拆包。源地址和目标地址必须按数据大小对齐。
 - 可编程传输数据数：0 ~ 65535
- 每个通道生成一个中断请求。每个中断请求都是由三个 DMA 事件中的任何一个引起的：传输完成、半传输或传输错误。

2.12. 中断

PY32F403-C 通过 Cortex-M4F 处理器内嵌的矢量中断控制器（NVIC）和一个扩展中断/事件控制器（EXTI）来处理异常。

2.12.1. 中断控制器 NVIC

NVIC 是 Cortex-M4F 处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M4F 内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程（ISR）启动之间的延迟。ISR 向量列在一个向量表中，存储在 NVIC 的一个基址地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 3 级中断优先级
- 支持 1 个 NMI 中断
- 57 个可屏蔽的中断通道（不包括 16 个 CPU 的中断）
- 高优先级中断可打断低优先级中断响应
- 支持尾链（tail – chaining）优化
- 硬件中断向量检索

2.12.2. 扩展中断 EXTI

- EXTI 增加了处理物理线事件的灵活性，系统可以通过 GPIO 和指定模块（PVD/RTC）输入事件唤醒。
- EXTI 控制器有多个通道，包括最多 80 个 GPIO 通过复用的方式使用 16 个 EXTI line，1 个 PVD 输出以及 RTC 唤醒信号。其中 GPIO，PVD 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0 ~ 15 通道。
- 每个 EXTI line 都可以通过寄存器独立屏蔽。
- EXTI 控制器可以捕获比内部时钟周期短的脉冲。
- EXTI 控制器中的寄存器锁存每个事件，即使是在 Stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

2.13. 模数转换器（ADC）

- 芯片内置有 3 个 12 位的 SARADC。该模块共有最多 20 个要被测量的通道，包括 16 个外部通道和 4 个内部通道，在单次或扫描模式下执行转换。
- 各通道的转换模式可以设定为单次、连续、扫描、不连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。
- 模拟看门狗允许应用检测是否输入电压超出了用户定义的高或者低阈值。
- ADC 实现了在低频率下运行，可获得很低的功耗。
- 转换结束、连续转换结束后，模拟看门狗时转换电压超出阈值时产生中断请求。

2.14. 数模转换器（DAC）

两个数字/模拟转换模块（DAC）是 12 位数字输入，电压输出的数字/模拟转换器。DAC 可以配置为 8 位或 12 位模式，也可以与 DMA 控制器配合使用。DAC 工作在 12 位模式时，数据可以设置成左对齐或右对齐。DAC 模块有 2 个输出通道，每个通道都有单独的转换器。在双 DAC 模式下，2 个通道可以独立地进行转换，也可以同时进行转换并同步地更新 2 个通道的输出。DAC 可以通过引脚输入参考电压 V_{REF+} 以获得更精确的转换结果。主要特性如下：

- 12 位模式下数据左对齐或者右对齐
- 同步更新功能
- 噪声波形生成
- 三角波形生成
- 双 DAC 通道同时或者分别转换
- 每个通道都有 DMA 功能
- 支持 DMA 下溢错误检测
- 外部触发转换
- 输入参考电压 V_{REF+}

2.15. 定时器

PY32F403-C 不同定时器的特性如下表所示：

表 2-4 定时器特性

类型	定时器	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	3
	TIM8	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	3
通用定时器	TIM2	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
	TIM3	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
	TIM4	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
	TIM5	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
通用定时器	TIM10/ TIM11/ TIM13/ TIM14	16 位	递增	1 ~ 65536	-	1	-
通用定时器	TIM9/TIM12	16 位	递增	1 ~ 65536	-	2	-
基本定时器	TIM6/TIM7	16 位	递增	1 ~ 65536	支持	-	-

2.15.1. 高级定时器

高级定时器（TIM1/TIM8）由 16 位被可编程分频器驱动自动装载计数器组成。它可以被用作各种场景，包括：输入信号（输入捕获）的脉冲长度测量，或者产生输出波形（输出比较、输出 PWM、带死区插入的互补 PWM）。

TIM1/TIM8 包括 4 个独立通道，用作：

- 输入捕获
- 输出比较
- PWM 产生（边缘或者中心对齐模式）
- 单脉冲模式输出

如果 TIM1/TIM8 配置为标准的 16 位计时器，则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器，则具有全调制能力（0 ~ 100%）。

在 MCU debug 模式，TIM1/TIM8 可以冻结计数。

具有相同架构的 timer 特性共享，因此 TIM1/TIM8 可以通过计时器链接功能与其他计时器一起工作，以实现同步或事件链接。

TIM1/TIM8 支持 DMA 功能。

2.15.2. 通用定时器

2.15.2.1. TIM2/TIM3/TIM4/TIM5

TIM2/TIM3/TIM4/TIM5 通用定时器是由 16 位可编程分频器驱动的 16 位自动重载计数器构成。具有 4 个独立的通道，每个用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

- 可以通过计时器链接功能与 TIM1 一起工作
- 支持 DMA 功能
- 能够处理正交（增量）编码器信号和数字输出从 1 到 3 霍尔效应传感器
- 在 MCU debug 模式，TIM2/TIM3/TIM4/TIM5 可以冻结计数

2.15.2.2. TIM10/ TIM11/ TIM13/TIM14

- 通用定时器 TIM10/TIM11/TIM13/TIM14 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM10/TIM11/TIM13/TIM14 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- 在 MCU debug 模式，TIM10/TIM11/TIM13/TIM14 可以冻结计数。

2.15.2.3. TIM9/TIM12

- TIM9 和 TIM12 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM9 和 TIM12 具有 2 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- TIM9 和 TIM12 具有带死区的互补输出。
- 在 MCU debug 模式，TIM9 和 TIM12 可以冻结计数。

2.15.3. 基本定时器 TIM6/TIM7

- 基本定时器 TIM6/TIM7 包含一个 16 位自动装载计数器，由各自的可编程预分频器驱动。
- 16 位自动装载计数器。
- 触发 DAC 的同步电路。
- 在更新事件（计数器溢出）发生时产生中断/DMA 请求。

2.15.4. IWDG

芯片内集成了一个独立看门狗定时器（简称 IWDG），该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱，并在计数器达到指定的 timeout 值时触发系统复位。

- IWDG 由独立的 RC 振荡器提供时钟，可在 Stop 和 Standby 模式下工作。
- IWDG 最适合需要看门狗作为主应用之外的独立过程，并且无很高的时序准确度限制的应用。
- 通过选项字节控制，可以使能 IWDG 硬件模式。
- IWDG 是 Stop 模式的唤醒源，以复位的方式唤醒 Stop 模式。
- 在 MCU debug 模式，IWDG 可以冻结计数值。

2.15.5. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器，可以设置为自由运行。当出现问题时，它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟（PCLK）。它具有预警中断能力，计数器可以在 MCU debug 模式下被冻结。

2.15.6. SysTick 定时器

SysTick 计数器专门用于实时操作系统（RTOS），但也可以用作标准的向下计数器。

SysTick 特性：

- 24 位向下计数
- 自装载能力
- 计数器记到 0 时可产生中断（可屏蔽）

2.16. 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

- RTC 为预分频系数最高为 2^{20} 的 32 位可编程计数器。
- RTC 计数器时钟源可以为 LSE、LSI 以及 HSE 时钟除以 128，可以作为 Stop 唤醒源。
- RTC 可以产生闹钟中断，秒中断和溢出中断（可屏蔽）。
- RTC 支持时钟校准。
- 在 MCU debug 模式，RTC 可以冻结计数。

2.17. 循环冗余校验计算单元 CRC

循环冗余校验（CRC）计算单元是根据固定的生成多项式得到 32 位 CRC 计算结果。在其他的应用中，CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。CRC 计算单元含有 1 个 32 位数据寄存器：

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。
- 每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合（对整个 32 位字进行 CRC 计算，而不是逐字节地计算）。
- 可以通过设置寄存器 CRC_CR 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。
- 支持配置 CRC 初始值。

2.18. 时钟校验系统 CTC

时钟校准控制器（CTC）采用硬件的方式，自动校准内部配置为 48 MHz 时的 RC 晶振，并作为 USB_D 模块时钟源。CTC 模块基于外部高精度的参考信号源来校准 HSI 的时钟频率，通过自动的或手动的调整校准值，以得到一个精准的 PLL48M 时钟。

CTC 模块主要完成如下功能：

- 三个外部参考信号源：GPIO、LSE 时钟、USB_D_SOF。
- 提供软件参考同步脉冲。
- 硬件自动校准，无需软件操作。
- 具有参考信号源捕获和重载功能的 16 位校准计数器。
- 用于频率评估和自动校准的 8 位时钟校准基值。
- 标志位和中断，用于指示时钟校准的状态：校准成功状态（CKOKIF），警告状态（CKWARNIF）和错误状态（ERRIF）。

2.19. 系统配置控制器 SYSCFG

SYSCFG 模块主要完成如下功能：

- 所有 IO noise filter 控制使能。
- EXTI IO select 控制。
- 根据不同 boot 模式，映射初始程序区。
- DMA 外设通道选择控制。
- TIMERS breakin 和 ETR 控制

2.20. Debug 支持 (DBG)

MCU DBG 模块协助调试器提供以下功能：

- 支持睡眠模式，停止模式和待机模式
- CPU 进入 HALT 时，控制定时器、看门狗停止计数或者继续计数
- CPU 进入 HALT 时，阻止 I²C1 和 I²C2 SMBUS 超时
- CPU 进入 HALT 时，阻止 CANFD 的接收寄存器更新
- 分配跟踪引脚

MCUDBG 寄存器还提供芯片 ID 编码。使用 JTAG 或者 SW 调试接口，或者用户程序都可以访问此 ID 编码。

2.21. SDIO

SD/SDIO MMC 卡主机模块（SDIO）在 AHB 外设总线和多媒体卡(MMC)、SD 存储卡、SDIO 卡和 CE-ATA 设备间提供了操作接口。

支持以下功能：

- 支持 SD 卡 2.0 版本
- 支持 SD I/O 卡 2.0 版本
- 支持 MMC4.2 版本
- 支持 CE-ATA 1.1 版本
- 支持命令完成信号和向主机处理器中断
- 命令完成信号关闭功能

SDIO 不支持 SPI 模式的通信模式，只支持 I/O 模式的 SD 卡或复合卡中的 I/O 部分，不能支持 SD 存储设备中的很多命令，如擦除命令。另外，SD 存储卡和 SD I/O 卡中有些命令是不同的，SDIO 也不支持这些命令。MMC4.1 不支持 DDR 启动。

2.22. I²C 接口

I²C (Inter-integrated circuit)总线接口连接微控制器和串行 I²C 总线。它提供多主机功能，控制所有 I²C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm)、快速 (Fm)。

I²C 特性：

- 多主机功能：可以做 master，也可以做 slave
- 支持不同通讯速度
 - 标准模式 (Sm)：高达 100 kHz
 - 快速模式 (Fm)：高达 400 kHz
- 作为 master
 - 产生 Clock
 - Start 和 Stop 的产生
- 作为 slave
 - 可编程的 I²C 地址检测
 - 可响应 2 个从地址的双地址能力
 - Stop 位的发现
- 7 位/10 位寻址模式
- 支持广播呼叫 (General call)
- 状态标志位
 - 发送/接收模式标志位
 - 字节传输完成标志位
 - I²C busy 标志位
- 错误标志位
 - Master arbitration loss
 - 地址/数据传输后的 ACK 失效
 - Start/Stop 错误
 - Overrun/Underrun (时钟拉长功能 disable)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer

- 软件复位
- 模拟噪声滤波功能
- 支持 SMBus

2.23. 通用同步异步收发器 USART

PY32F403-C 包含 5 个通用同步/异步收发器 (USART)，支持 ISO7816, LIN, IrDA。

通用同步异步收发器 (USART) 提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信，它还允许许多处理器通信。

支持自动波特率检测。

使用多缓冲器配置的 DMA 方式，可以实现高速数据通信。

USART 特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率，最高达 4.5 Mbit/s
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位（支持 0.5、1、1.5 或 2 个停止位）
- 发送方为同步传输提供时钟
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位
 - 对接收数据进行校验
- 带标志的中断源
 - CTS 改变
 - 发送寄存器空
 - 发送完成
 - 接收数据寄存器满
 - 检测到总线空闲
 - 溢出错误

- 帧错误
- 噪音操作
- 校验错误
- LIN 断开符检测
- 多处理器通信
 - 如果地址不匹配，则进入静默模式
- 从静默模式唤醒：通过空闲检测和地址标志检测，两种唤醒接收器的方式：地址位（MSB，第 9 位），总线空闲。

2.24. 串行外设接口 SPI

PY32F403-C 包含 3 个 SPI。串行外设接口（SPI）允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟（SCK）。接口还能以多主配置方式工作。

SPI 特性如下：

- Master 或者 slave 模式
- 3 线全双工同步传输
- 2 线半双工同步传输（有双向数据线）
- 2 线单工同步传输（无双向数据线）
- 8 位或者 16 位传输帧选择
- 支持多主模式
- 8 个主模式波特率预分频系数（最大为 $f_{PCLK}/4$ ）
- 从模式频率（最大为 $f_{PCLK}/4$ ）
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- Motorola 模式
- 可引起中断的主模式故障、过载
- 2 个具备 DMA 功能的 64（16x4）位嵌入式 Rx 和 Tx FIFOs

2.25. 内部集成音频(I²S)

- 3 个采样率 8 ~ 192 kHz 的 I²S 总线接口
- 支持主机模式和从机模式，全双工和单工通信模式

I²S 总线通过 3 线串行线路为数字音频应用提供标准通信接口。包含三个 I²S 总线接口，可在主或从模式下以 16/32 位分辨率操作，引脚与 SPI1、SPI2 和 SPI3 多路复用。支持 8 ~ 192 kHz 的音频采样频率，精度误差小于 0.5%。所有 I²S 接口都可以使用 DMA 控制器。

2.26. 外部串行存储控制器 (ESMC)

ESMC (External serial memory controller) 是一种专用通信接口，用于单 (single SPI)、双 (dual SPI)、四 (quad SPI) 和双四线 (dual-quad SPI) 通道 SPI 接口存储器 (NOR Flash, PSRAM 等)。它可以在以下两种模式中的任何一种模式下运行：

- 间接模式：所有操作均使用 QUADSPI 寄存器执行 (indirect mode)
- 内存映射模式：外部闪存映射到设备地址空间，系统将其视为内部存储器 (memory mapped mode)

使用双存储器模式，即同时访问两个 Quad SPI 存储器，可以实现类似 Octal SPI 存储器一样提高两倍的吞吐量和存储容量。

- 两种功能模式：间接和内存映射
- 可同时发送/接收 8 位
- 双闪存模式，通过并行访问两个闪存，可同时发送/接收 8 位
- SDR 和 DDR 支持
- 用于间接和内存映射模式的完全可编程操作码
- 间接和内存映射模式的完全可编程帧格式
- 用于接收和传输的集成 FIFO
- 只允许 32 位数据访问
- 用于间接模式操作的 DMA 信道
- FIFO 操作完成上的中断生成

2.27. USB 2.0 全速模块

PY32F403-C 包含 1 个 USB 2.0 全速模块。USB 外设实现了 USB2.0 全速总线和 APB1 总线间的接口。支持 USB 挂起/恢复操作，可以停止设备时钟实现低功耗。主要特性如下：

- 符合 USB 2.0 全速设备的技术规范
- 可配置 1 到 8 个 USB 端点
- CRC (循环冗余校验) 生成/校验，反向不归零 (NRZI) 编码/解码和位填充
- 支持同步传输
- 支持批量/同步端点的双缓冲区机制
- 支持 USB 挂起/恢复操作
- 帧锁定时钟脉冲生成

2.28. CANFD

PY32F403-C 包含 1 个 CANFD 通信接口模块。

CAN (Controller area network) 总线是一种可以在无主机情况下实现微处理器或者设备之间相互通信的总线标准。CAN FD 控制器遵循 CAN 总线 CAN2.0 (2.0A、CAN2.0B) 和 CAN FD 协议。

CAN 总线控制器可以处理总线上的数据收发, 在本产品中, CAN FD 控制器具有 12 组筛选器。筛选器用于为应用程序选择要接收的消息。

CAN FD 控制器中应用程序可通过 1 个高优先级的主发送缓冲器 (Primary transmit buffer, 以下简称 PTB) 和 3 个辅发送缓冲器 (Secondary transmit buffer, 以下简称 STB) 将发送数据送至总线, 由发送调度器决定邮箱发送顺序。通过 3 个接收缓冲器 (Receive Buffer, 以下简称 RB) 获取总线数据。3 个 STB 以及 3 个 RB 可以理解为一个 3 级 FIFO 和一个 3 级 FIFO, FIFO 完全由硬件控制。

CAN FD 总线控制器同时也可以支持时间触发 CAN 通信 (Time-trigger communication)。

- 完全支持 CAN2.0A/ CAN2.0B/ CANFD 协议
- CAN2.0 支持最高通信波特率 1 Mbit/s
- 支持 1 ~ 1/ 32 的波特率预分频, 灵活配置波特率
- 3 个接收缓冲器
 - FIFO 方式
 - 错误或者不被接收的数据不会覆盖存储的消息
- 1 个高优先主发送缓冲器 PTB
- 3 个副发送缓冲器 STB
 - FIFO 方式
 - 优先级仲裁方式
- 12 组独立的筛选器
 - 支持 11 位标准 ID 和 29 位扩展 ID
 - 可编程 ID CODE 位以及 MASK 位
- PTB/STB 均支持单次发送模式
- 支持静默模式
- 支持回环模式
- 支持捕捉传输的错误种类以及定位仲裁失败位置
- 可编程的错误警告值
- 支持 ISO11898-4 规定时间触发 CANFD 以及接收时间戳

2.29. SWD

ARM SWD 接口允许串口调试工具连接到 PY32F403-C。

3. 引脚配置

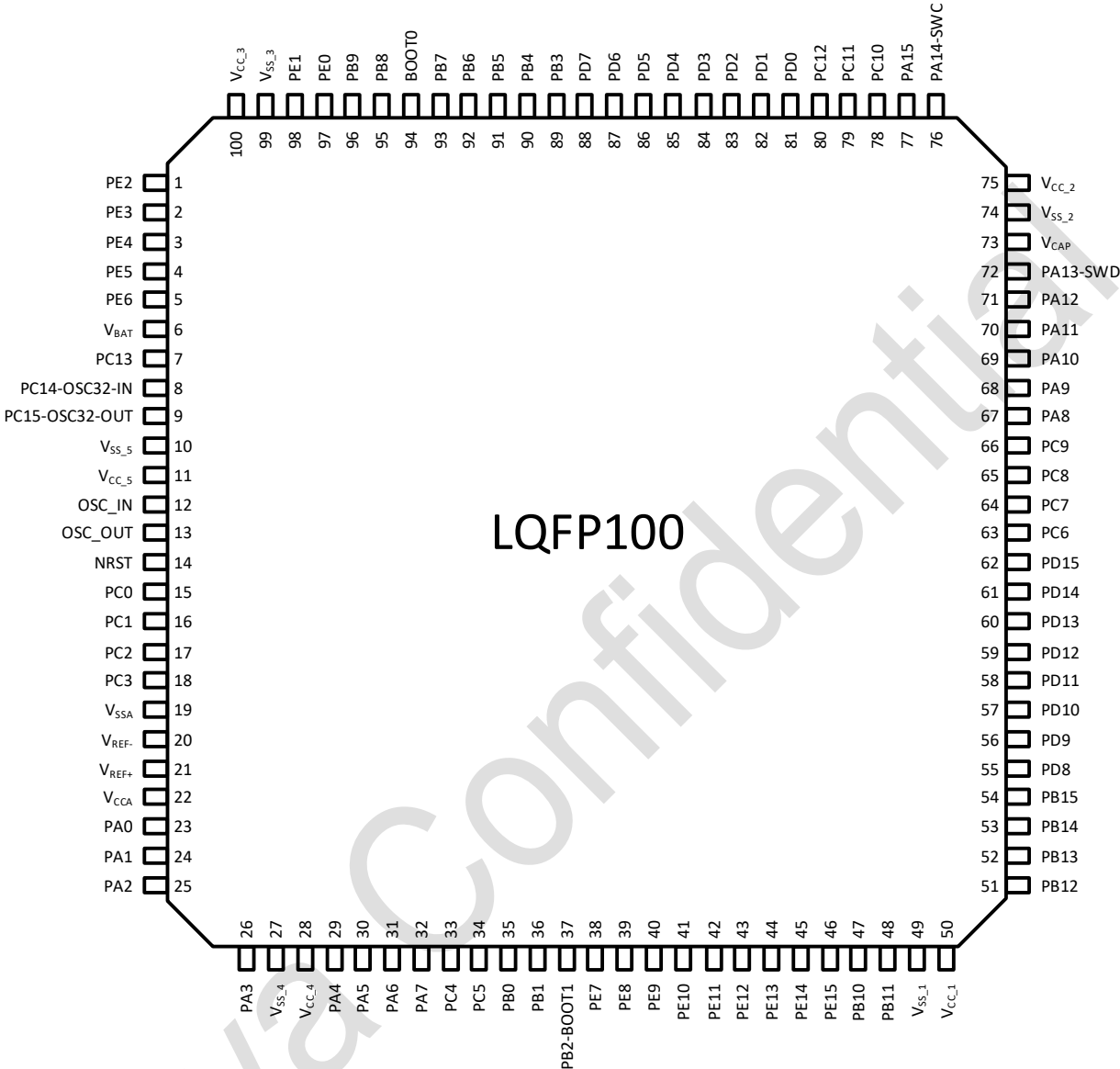


图 3-1 LQFP100 Pinout1 PY32F403V1xT7-C (Top view)

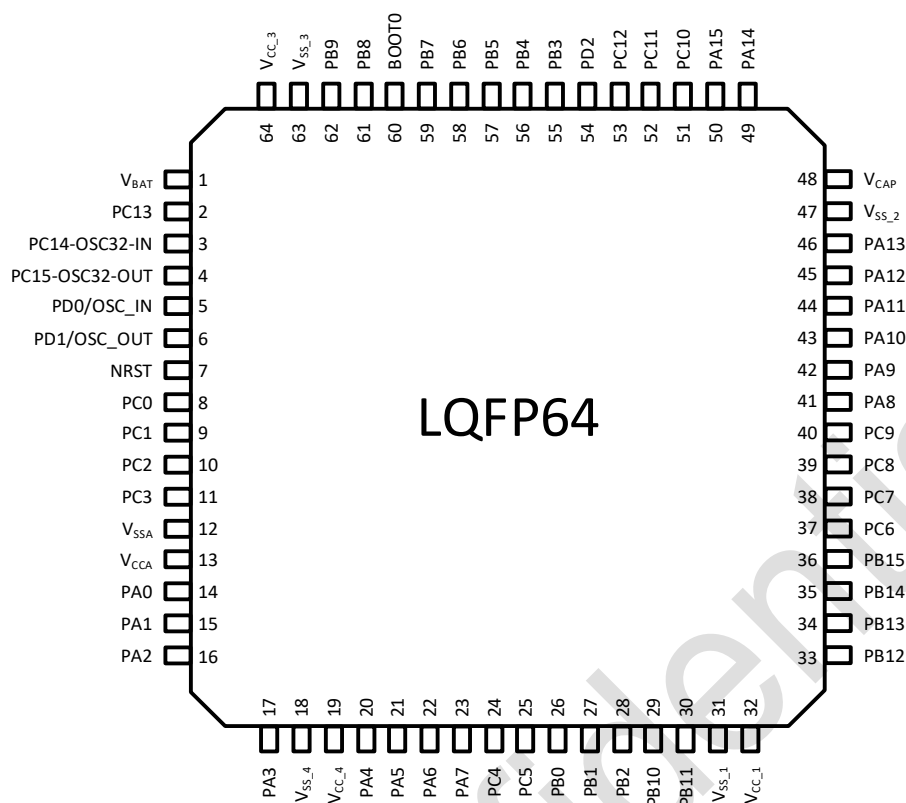


图 3-2 LQFP64 Pinout1 PY32F403R1xT7-C (Top view)

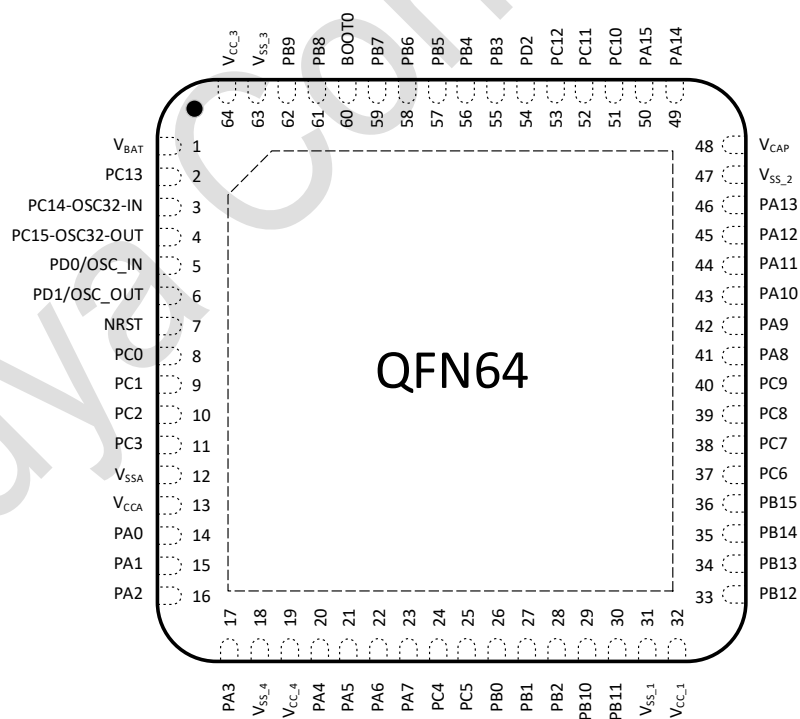


图 3-3 QFN64 Pinout1 PY32F403R1xU7-C (Top view)

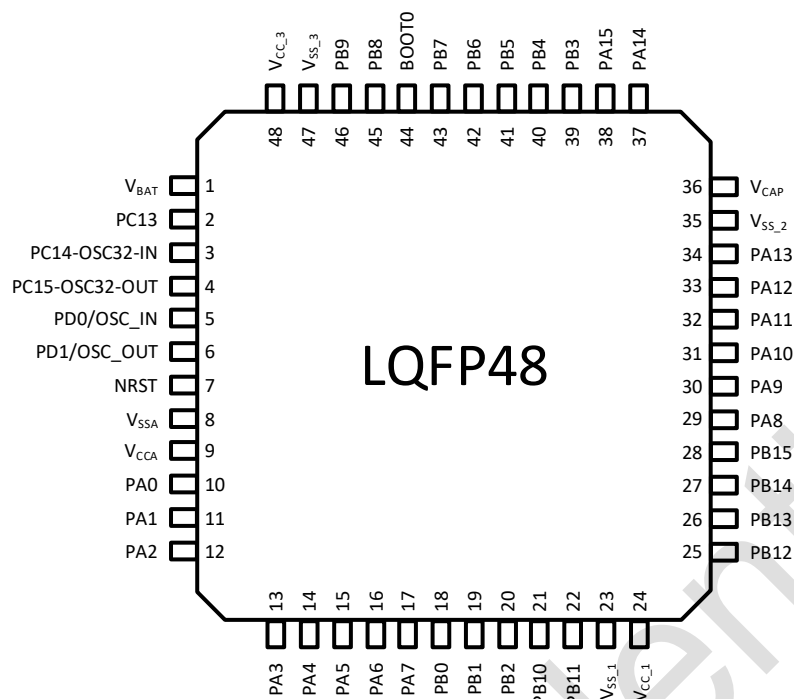


图 3-4 LQFP48 Pinout1 PY32F403C1xT7-C (Top view)

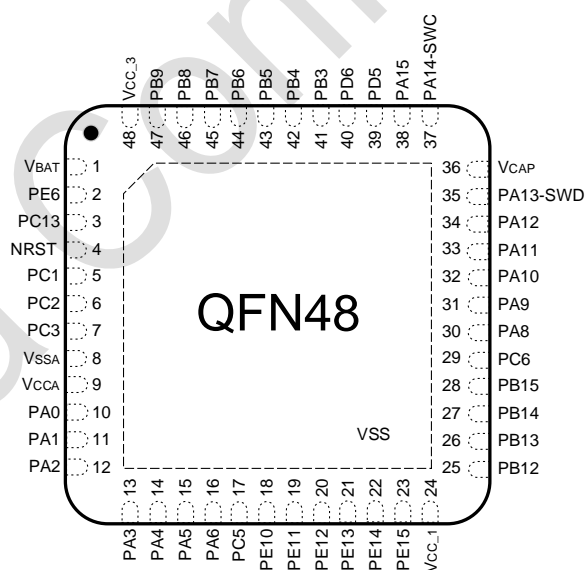


图 3-5 QFN48 Pinout1 PY32F403C1xU7-C (Top view)

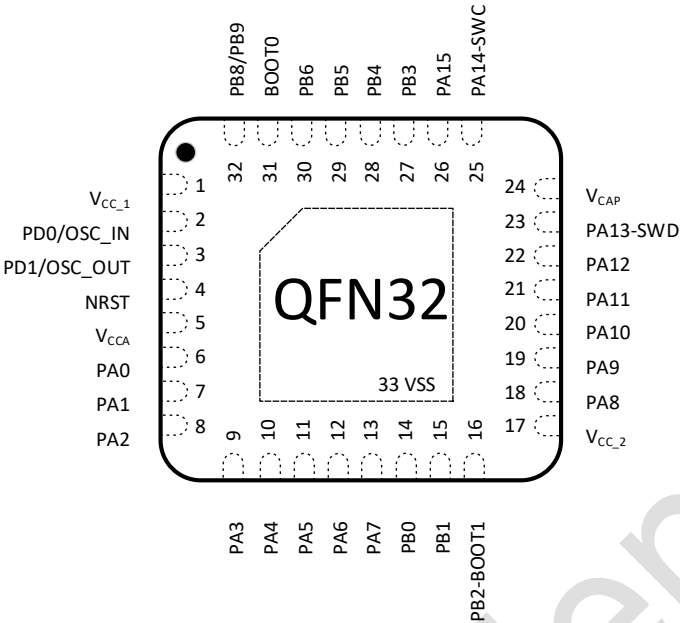


图 3-6 QFN32 Pinout1 PY32F403K1xU7-C (Top view)

表 3-1 引脚定义的术语和符号

类型		符号	定义
端口类型		S	Supply 引脚
		G	Ground 引脚
		I	Input-only 引脚
		I/O	Input/ output 引脚
		NC	无定义
端口结构		FT	5 V 兼容端口
		FT_u	带有 USB 功能的 5 V 兼容端口
		TT	3.3 V 兼容端口
		TT_a	带有模拟开关的 3.3 V 兼容端口
		NRST	复位端口，内部带弱上拉电阻，不支持模拟输入输出功能
注		-	除非有其他说明，不然所有端口都被在复位之间和之后，作为浮空的输入
端口功能	复用功能	-	通过 GPIOx_AFR 寄存器选择的功能
	附加功能	-	通过外设寄存器直接选择或使能的功能

表 3-2 引脚定义

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
1	-	-	-	-	PE2	I/O	FT	PE2	EVENT_OUT	-
2	-	-	-	-	PE3	I/O	FT	PE3	EVENT_OUT	-
3	-	-	-	-	PE4	I/O	FT	PE4	EVENT_OUT	-
4	-	-	-	-	PE5	I/O	FT	PE5	TIM9_CH1	-
									EVENT_OUT	
5	-	-	2	-	PE6	I/O	FT	PE6	TIM9_CH2	WKUP3
									ENENT_OUT	
6	1	1	1	-	V _{BAT}	S	-	V _{BAT}	-	-
7	2	2	3	-	PC13-TAMPER RTC ⁽²⁾⁽³⁾⁽⁵⁾	I/O	TT	PC13	EVENT_OUT	TAMPER-RTC WKUP2
8	3	3	-	-	PC14-OSC32_IN ⁽²⁾⁽³⁾	I/O	TT	PC14	EVENT_OUT	OSC32_IN
9	4	4	-	-	PC15- OSC32_OUT ⁽²⁾⁽³⁾	I/O	TT	PC15	EVENT_OUT	OSC32_OUT
10	-	-	-	-	V _{SS_5}	G	-	V _{SS_5}	-	-
11	-	-	-	-	V _{CC_5}	S	-	V _{CC_5}	-	-
12	5	5	-	2	OSC_IN ⁽⁶⁾	I	-	OSC_IN	-	-
13	6	6	-	3	OSC_OUT ⁽⁶⁾	O	-	OSC_OUT	-	-
14	7	7	4	4	NRST	-	-	NRST	-	-
15	8	-	-	-	PC0	I/O	TT_a	PC0	EVENT_OUT	ADC123_IN10
16	9	-	5	-	PC1	I/O	TT_a	PC1	ESMC_IO4	ADC123_IN11
									EVENT_OUT	
17	10	-	6	-	PC2	I/O	TT_a	PC2	ESMC_IO5	ADC123_IN12

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									EVENT_OUT	
18	11	-	7	-	PC3	I/O	TT_a	PC3	ESMC_IO6 EVENT_OUT	ADC123_IN13
19	12	8	8	-	VSSA	G	-	VSSA	-	-
20	-	-	-	-	VREF-	S	-	VREF-	-	-
21	-	-	-	-	VREF+	S	-	VREF+	-	-
22	13	9	9	5	VCCA	S	-	VCCA	-	-
23	14	10	10	6	PA0-WKUP1	I/O	TT_a	PA0	WKUP1 USART2_CTS TIM8_ETR TIM2_CH1_ETR TIM5_CH1 EVENT_OUT	ADC123_IN0 WKUP1
24	15	11	11	7	PA1	I/O	TT_a	PA1	USART2_RTS TIM2_CH2 TIM5_CH2 EVENT_OUT	ADC123_IN1
25	16	12	12	8	PA2	I/O	TT_a	PA2	USART2_TX TIM2_CH3 TIM5_CH3 TIM9_CH1	ADC123_IN2 WKUP4

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									ESMC_SS0	
									EVENT_OUT	
26	17	13	13	9	PA3	I/O	TT_a	PA3	USART2_RX	ADC123_IN3
									TIM2_CH4	
									TIM5_CH4	
									TIM9_CH2	
									ESMC_CLK	
									EVENT_OUT	
27	18	-	-	-	V _{SS_4}	G	-	V _{SS_4}	-	-
28	19	-	-	-	V _{CC_4}	S	-	V _{CC_4}	-	-
29	20	14	14	10	PA4	I/O	TT_a	PA4	USART2_CK	ADC123_IN4 DAC_OUT1
									SPI1_NSS/I2S1_WS	
									EVENT_OUT	
30	21	15	15	11	PA5	I/O	TT_a	PA5	SPI1_SCK/I2S1_CK	ADC123_IN5 DAC_OUT2
									EVENT_OUT	
31	22	16	16	12	PA6	I/O	TT_a	PA6	SPI1_MISO	ADC123_IN6
									TIM8_BKIN	
									TIM3_CH1	
									TIM13_CH1	
									ESMC_IO3	
									EVENT_OUT	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
32	23	17	-	13	PA7	I/O	TT_a	PA7	SPI1_MOSI/I2S1_SD TIM8_CH1N TIM3_CH2 TIM14_CH1 ESMC_IO2 EVENT_OUT	ADC123_IN7
33	24	-	-	-	PC4	I/O	TT_a	PC4	ESMC_IO7 EVENT_OUT	ADC123_IN14
34	25	-	17	-	PC5	I/O	TT_a	PC5	EVENT_OUT I2S1_MCK	ADC123_IN15 WKUP5
35	26	18	-	14	PB0	I/O	TT_a	PB0	TIM1_CH2N TIM8_CH2N TIM3_CH3 ESMC_IO1 SPI3_SCK/I2S3_CK EVENT_OUT	ADC123_IN8
36	27	19	-	15	PB1	I/O	TT_a	PB1	TIM1_CH3N TIM8_CH3N TIM3_CH2 ESMC_IO0 EVENT_OUT	ADC123_IN9

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
37	28	20	-	16	PB2-BOOT1	I/O	FT	PB2/BOOT1	BOOT1 EVENT_OUT	-
38	-	-	-	-	PE7	I/O	FT	PE7	TIM1_ETR	-
39	-	-	-	-	PE8	I/O	FT	PE8	TIM1_CH1N	-
40	-	-	-	-	PE9	I/O	FT	PE9	TIM1_CH1	-
41	-	-	18	-	PE10	I/O	FT	PE10	TIM1_CH2N ESMC_CLK EVENT_OUT	-
42	-	-	19	-	PE11	I/O	FT	PE11	TIM1_CH2 ESMC_SS3 EVENT_OUT	-
43	-	-	20	-	PE12	I/O	FT	PE12	TIM1_CH3N ESMC_IO0 EVENT_OUT	-
44	-	-	21	-	PE13	I/O	FT	PE13	TIM1_CH3 ESMC_IO1 EVENT_OUT	-
45	-	-	22	-	PE14	I/O	FT	PE14	TIM1_CH4 ESMC_IO2 EVENT_OUT	-
46	-	-	23	-	PE15	I/O	FT	PE15	TIM1_BKIN	-

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									ESMC_IO3	
									EVENT_OUT	
47	29	21	-	-	PB10	I/O	FT	PB10	I ² C2_SCL	-
									USART3_TX	
									TIM2_CH3	
									ESMC_CLK	
									EVENT_OUT	
48	30	22	-	-	PB11	I/O	FT	PB11	I ² C2_SDA	-
									USART3_RX	
									TIM2_CH4	
									ESMC_SS1	
									EVENT_OUT	
49	31	23	-	-	V _{SS_1}	G	-	V _{SS_1}	-	-
50	32	24	24	1	V _{CC_1}	S	-	V _{CC_1}	-	-
51	33	25	25	-	PB12	I/O	FT	PB12	I ² C2_SMBA	-
									USART3_CK	
									SPI2_NSS/I2S2_WS	
									TIM1_BKIN	
									EVENT_OUT	
52	34	26	26	-	PB13	I/O	FT	PB13	USART3_CTS	-
									SPI2_SCK/I2S2_CK	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									TIM1_CH1N	
									EVENT_OUT	
53	35	27	27	-	PB14	I/O	FT	PB14	USART3_RTS	-
									SPI2_MISO	
									TIM1_CH2N	
									TIM12_CH1	
									EVENT_OUT	
54	36	28	28	-	PB15	I/O	FT	PB15	SPI2_MOSI/I2S2_SD	-
									TIM1_CH3N	
									TIM12_CH2	
									EVENT_OUT	
55	-	-	-	-	PD8	I/O	FT	PD8	USART3_TX	-
									EVENT_OUT	
56	-	-	-	-	PD9	I/O	FT	PD9	USART3_RX	-
									EVENT_OUT	
57	-	-	-	-	PD10	I/O	FT	PD10	USART3_CK	-
									EVENT_OUT	
58	-	-	-	-	PD11	I/O	FT	PD11	USART3_CTS	-
									EVENT_OUT	
59	-	-	-	-	PD12	I/O	FT	PD12	TIM4_CH1	-
									USART3_RTS	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									EVENT_OUT	
60	-	-		-	PD13	I/O	FT	PD13	TIM4_CH2	-
									EVENT_OUT	
61	-	-	-	-	PD14	I/O	FT	PD14	TIM4_CH3	-
									EVENT_OUT	
62	-	-	-	-	PD15	I/O	FT	PD15	TIM4_CH4	-
									EVENT_OUT	
63	37	-	29	-	PC6	I/O	FT	PC6	USART4_CK	-
									TIM8_CH1	
									TIM3_CH1	
									SDIO_D6	
									I ² S2_MCK	
									EVENT_OUT	
64	38	-	-	-	PC7	I/O	FT	PC7	USART4_CTS	-
									TIM8_CH2	
									TIM3_CH2	
									SDIO_D7	
									I ² S3_MCK	
									EVENT_OUT	
65	39	-	-	-	PC8	I/O	FT	PC8	USART4_RTS	-
									TIM8_CH3	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									TIM3_CH3 SDIO_D0 EVENT_OUT	
66	40	-	-	-	PC9	I/O	FT	PC9	TIM8_CH4 TIM3_CH4 SDIO_D1 EVENT_OUT	-
67	41	29	30	18	PA8	I/O	FT	PA8	MCO USART1_CK TIM1_CH1 EVENT_OUT	-
68	42	30	31	19	PA9	I/O	FT	PA9	USART1_TX TIM1_CH2 EVENT_OUT	-
69	43	31	32	20	PA10	I/O	FT	PA10	USART1_RX CTC_SYNC TIM1_CH3 EVENT_OUT	-
70	44	32	33	21	PA11	I/O	FT_u	PA11	USART1_CTS TIM1_CH4 CAN_RX	USB_DM

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									EVENT_OUT	
71	45	33	34	22	PA12	I/O	FT_u	PA12	USART1_RTS	USB_DP
									TIM1_ETR	
									CAN_TX	
									EVENT_OUT	
72	46	34	35	23	PA13	I/O	FT	JTMS-SWDIO	JTMS-SWDIO	-
									EVENT_OUT	
73	48	36	36	24	V _{CAP} ⁽⁴⁾	-	-	V _{CAP}	-	-
74	47	35	-	-	V _{SS_2}	G	-	V _{SS_2}	-	-
75	-	-	-	17	V _{CC_2}	S	-	V _{CC_2}	-	-
76	49	37	37	25	PA14	I/O	FT	JTCK-SWCLK	JTCK-SWCLK	-
									EVENT_OUT	
77	50	38	38	26	PA15	I/O	FT	JTDI	JTDI	-
									SPI3_NSS/I2S3_WS	
									SPI1_NSS/I2S1_WS	
									TIM2_CH1_ETR	
									EVENT_OUT	
78	51	-	-	-	PC10	I/O	FT	PC10	USART4_TX	-
									USART3_TX	
									SDIO_D2	
									SPI1_SCK/I2S1_CK	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									EVENT_OUT	
79	52	-	-	-	PC11	I/O	FT	PC11	USART4_RX	-
									USART3_RX	
									SDIO_D3	
									SPI1_NSS/I2S1_WS	
									EVENT_OUT	
80	53	-	-	-	PC12	I/O	FT	PC12	USART5_TX	-
									USART3_CK	
									SDIO_CK	
									SPI1_MOSI/I2S1_SD	
									EVENT_OUT	
81	5	5	-	2	PD0 ⁽⁶⁾	I/O	FT	-	CAN_RX	-
									EVENT_OUT	
82	6	6	-	3	PD1 ⁽⁶⁾	I/O	FT	-	CAN_TX	-
									EVENT_OUT	
83	54	-	-	-	PD2	I/O	FT	PD2	TIM3_ETR	-
									USART5_RX	
									SDIO_CMD	
									EVENT_OUT	
84	-	-	-	-	PD3	I/O	FT	PD3	USART2_CTS	-
									USART5_CK	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									ESMC_SS2	
									EVENT_OUT	
85	-	-	-	-	PD4	I/O	FT	PD4	USART2_RTS	-
									USART5_CTS	
									ESMC_IO4	
									EVENT_OUT	
86	-	-	39	-	PD5	I/O	FT	PD5	USART2_TX	-
									USART5_RTS	
									ESMC_IO5	
									EVENT_OUT	
87	-	-	40	-	PD6	I/O	FT	PD6	USART2_RX	-
									ESMC_IO6	
									EVENT_OUT	
88	-	-	-	-	PD7	I/O	FT	PD7	USART2_CK	-
									ESMC_IO7	
									EVENT_OUT	
89	55	39	41	27	PB3	I/O	FT	JTDO	JTDO	-
									SPI3_SCK/I2S3_CK	
									SPI1_SCK/I2S1_CK	
									TIM2_CH2	
									EVENT_OUT	

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
90	56	40	42	28	PB4	I/O	FT	NJTRST	NJTRST SPI3_MISO SPI1_MISO TIM3_CH1 EVENT_OUT	-
91	57	41	43	29	PB5	I/O	TT	PB5	I ² C1_SMBA SPI3_MOSI/I2S3_SD SPI1_MOSI/I2S1_SD TIM3_CH2 EVENT_OUT	-
92	58	42	44	30	PB6	I/O	FT	PB6	I ² C1_SCL USART1_TX TIM4_CH1 EVENT_OUT	-
93	59	43	45	-	PB7	I/O	FT	PB7	I ² C1_SDA USART1_RX TIM4_CH2 EVENT_OUT	-
94	60	44	-	31	BOOT0	I	-	BOOT0	-	-
95	61	45	46	32	PB8 ⁽⁶⁾	I/O	FT	PB8	I ² C1_SCL TIM4_CH3	-

封装类型					端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP 64 R1 QFN64 R1	LQFP48 C1	QFN48 C1	QFN32 K1					复用功能	附加功能
									TIM10_CH1	
									CAN_RX	
									SDIO_D4	
									EVENT_OUT	
96	62	46	47	32	PB9 ⁽⁶⁾	I/O	FT	PB9	I ² C1_SDA	
									TIM4_CH4	
									TIM11_CH1	
									CAN_TX	-
									SDIO_D45	
									EVENT_OUT	
97	-	-	-	-	PE0	I/O	FT	PE0	TIM4_ETR	
									EVENT_OUT	-
98	-	-	-	-	PE1	I/O	FT	PE1	EVENT_OUT	-
99	63	47	-	-	V _{SS_3}	G	-	V _{SS_3}	-	-
100	64	48	48	-	V _{CC_3}	S	-	V _{CC_3}	-	-

1. 可用功能取决于所选器件。如果多个外设共享相同的 I/O 引脚，为避免这些备用功能之间的冲突，一次只能通过外设时钟启用位（在相应的 RCC 外设时钟启用寄存器中）启用一个外设。
2. PC13、PC14、PC15 通过电源开关供电。由于该开关的灌电流能力有限(3 mA)，因此在输出模式下使用 GPIO PC13 到 PC15 时存在以下限制：
 - 1) 速率不得超过 2 MHz，最大负载为 30 pF。
 - 2) 这些 I/O 不能用作电流源（如用于驱动 LED）。
3. 第一次备份域上电后的主要功能。在这之后，取决于备份寄存器的内容，即使在复位之后也是如此（因为这些寄存器不受主区域复位控制）。

4. LDO 内核供电输出（仅限内部电路使用，需外接 $0.1 \sim 1 \mu\text{F}$ 的去耦电容）。
5. 仅 V_{BAT} 供电时，PC13 状态可能为模拟模式、输入模式、推挽上拉、推挽下拉，建议如下：
 - 1) 在 PC13 端口加对地 $1 \sim 10 \text{ M}$ 级电阻，避免 PC13 为输入模式时芯片漏电。
 - 2) 如 1) 中建议电阻值选择，需结合应用考虑推挽上拉时的端口电流。
6. 两个 IO 端口引出在同一个 pin 脚，同一时间只能使用其中任意一个 IO 端口，且另外一个 IO 必须配置为模拟模式（ $\text{MODEy}[1:0]$ 为 0B11）。

3.1. 端口 A 复用功能映射

表 3-3 端口 A 复用功能映射

PortA	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	-	USART2_CTS	-	-	TIM8_ETR	TIM2_CH1_ETR	TIM5_CH1	-	-	-	-	-	-	-	EVENT_OUT
PA1	-	-	USART2_RTS	-	-	-	TIM2_CH2	TIM5_CH2	-	-	-	-	-	-	-	EVENT_OUT
PA2	-	-	USART2_TX	-	-	-	TIM2_CH3	TIM5_CH3	TIM9_CH1	-	ESMC_SS0	-	-	-	-	EVENT_OUT
PA3	-	-	USART2_RX	-	-	-	TIM2_CH4	TIM5_CH4	TIM9_CH2	-	ESMC_CLK	-	-	-	-	EVENT_OUT
PA4	-	-	USART2_CK	SPI1_NSS/I2S1_WS	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA5	-	-	-	SPI1_SCK/I2S1_CK	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA6	-	-	-	SPI1_MISO	-	TIM8_BKIN	TIM3_CH1	-	TIM13_CH1	-	ESMC_IO3	-	-	-	-	EVENT_OUT
PA7	-	-	-	SPI1_MOS/I2S1_SD	-	TIM8_CH1N	TIM3_CH2	-	TIM14_CH1	-	ESMC_IO2	-	-	-	-	EVENT_OUT
PA8	MCO	-	USART1_CK	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA9	-	-	USART1_TX	-	TIM1_CH2	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA10	-	-	USART1_RX	CTC_SYNC	TIM1_CH3	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA11	-	-	USART1_CTS	-	TIM1_CH4	-	-	-	-	-	CAN_RX	-	-	-	-	EVENT_OUT
PA12	-	-	USART1_RTS	-	TIM1_ETR	-	-	-	-	-	CAN_TX	-	-	-	-	EVENT_OUT
PA13	JTMS-SWDIO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA14	JTCK-SWCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA15	JTDI	-	SPI3_NSS/I2S3_WS	SPI1_NSS/I2S1_WS	-	-	TIM2_CH1_ETR	-	-	-	-	-	-	-	SPI3_NSS/I2S3_WS	EVENT_OUT

3.2. 端口 B 复用功能映射

表 3-4 端口 B 复用功能映射

PortB	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	-	-	-	TIM1_CH2N	TIM8_CH2N	TIM3_CH3	-	-	-	ESMC_IO1	-	-	-	SPI3_SCK/I2S3_CK	EVENT_OUT
PB1	-	-	-	-	TIM1_CH3N	TIM8_CH3N	TIM3_CH4	-	-	-	ESMC_IO0	-	-	-	-	EVENT_OUT
PB2	BOOT1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PB3	JTDO	-	SPI3_SCK/I2S3_CK	SPI1_SCK/I2S1_CK	-	-	TIM2_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PB4	NJTRST	-	SPI3_MISO	SPI1_MISO	-	-	TIM3_CH1	-	-	-	-	-	-	-	-	EVENT_OUT
PB5	-	I ² C1_SMBA	SPI3_MOSI/I2S3_SD	SPI1_MOSI/I2S1_SD	-	-	TIM3_CH2	-	-	-	-	-	-	-	SPI3_MOSI/I2S3_SD	EVENT_OUT
PB6	-	I ² C1_SCL	USART1_TX	-	-	-	TIM4_CH1	-	-	-	-	-	-	-	-	EVENT_OUT
PB7	-	I ² C1_SDA	USART1_RX	-	-	-	TIM4_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PB8	-	I ² C1_SCL	-	-	-	-	TIM4_CH3	-	TIM10_CH1	-	CAN_RX	SDIO_D4	-	-	-	EVENT_OUT
PB9	-	I ² C1_SDA	-	-	-	-	TIM4_CH4	-	TIM11_CH1	-	CAN_TX	SDIO_D5	-	-	-	EVENT_OUT
PB10	-	I ² C2_SCL	USART3_TX	-	-	-	TIM2_CH3	-	-	-	ESMC_CLK	-	-	-	-	EVENT_OUT
PB11	-	I ² C2_SDA	USART3_RX	-	-	-	TIM2_CH4	-	-	-	ESMC_SS1	-	-	-	-	EVENT_OUT
PB12	-	I ² C2_SMBA	USART3_CK	SPI2_NSS/I2S2_WS	TIM1_BKIN	-	-	TIM5_ETR	-	-	-	-	-	-	SPI2_NSS/I2S2_WS	EVENT_OUT
PB13	-	-	USART3_CTS	SPI2_SCK/I2S2_CK	TIM1_CH1N	-	-	-	-	-	-	-	-	-	SPI2_SCK/I2S2_CK	EVENT_OUT
PB14	-	-	USART3_RTS	SPI2_MISO	TIM1_CH2N	-	-	-	TIM12_CH1	-	-	-	-	-	-	EVENT_OUT
PB15	-	-	-	SPI2_MOSI/I2S2_SD	TIM1_CH3N	-	-	-	TIM12_CH2	-	-	-	-	-	SPI2_MOSI/I2S2_SD	EVENT_OUT

3.3. 端口 C 复用功能映射

表 3-5 端口 C 复用功能映射

PortC	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PC1	-	-	-	-	-	-	-	-	-	-	ESMC_IO4	-	-	-	-	EVENT_OUT
PC2	-	-	-	-	-	-	-	-	-	-	ESMC_IO5	-	-	-	-	EVENT_OUT
PC3	-	-	-	-	-	-	-	-	-	-	ESMC_IO6	-	-	-	-	EVENT_OUT
PC4	-	-	-	-	-	-	-	-	-	-	ESMC_IO7	-	-	-	-	EVENT_OUT
PC5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	I ² S1_MCK	EVENT_OUT
PC6	-	USART4_CK	-	-	-	TIM8_CH1	TIM3_CH1	-	-	-	-	SDIO_D6	-	-	I ² S2_MCK	EVENT_OUT
PC7	-	USART4_CTS	-	-	-	TIM8_CH2	TIM3_CH2	-	-	-	-	SDIO_D7	-	-	I ² S3_MCK	EVENT_OUT
PC8	-	USART4_RTS	-	-	-	TIM8_CH3	TIM3_CH3	-	-	-	-	SDIO_D0	-	-	-	EVENT_OUT
PC9	-	-	-	-	-	TIM8_CH4	TIM3_CH4	-	-	-	-	SDIO_D1	-	-	-	EVENT_OUT
PC10	-	USART4_TX	USART3_TX	-	-	-	-	-	-	-	-	SDIO_D2	-	-	SPI1_SCK/I2S1_CK	EVENT_OUT
PC11	-	USART4_RX	USART3_RX	-	-	-	-	-	-	-	-	SDIO_D3	-	-	SPI1_NSS/I2S1_WS	EVENT_OUT
PC12	-	USART5_TX	USART3_CK	-	-	-	-	-	-	-	-	SDIO_CK	-	-	SPI1_MOSI/I2S1_SD	EVENT_OUT
PC13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT

3.4. 端口 D 复用功能映射

表 3-6 端口 D 复用功能映射

PortD	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	-	-	-	-	-	-	-	-	-	-	CAN_RX	-	-	-	-	EVENT_OUT
PD1	-	-	-	-	-	-	-	-	-	-	CAN_TX	-	-	-	-	EVENT_OUT
PD2	-	USART5_RX	-	-	-	-	TIM3_ETR	-	-	-	-	SDIO_CMD	-	-	-	EVENT_OUT
PD3	-	USART5_CK	USART2_CTS	-	-	-	-	-	-	-	ESMC_SS2	-	-	-	-	EVENT_OUT
PD4	-	USART5_CTS	USART2_RTS	-	-	-	-	-	-	-	ESMC_IO4	-	-	-	-	EVENT_OUT
PD5	-	USART5_RTS	USART2_TX	-	-	-	-	-	-	-	ESMC_IO5	-	-	-	-	EVENT_OUT
PD6	-	-	USART2_RX	-	-	-	-	-	-	-	ESMC_IO6	-	-	-	-	EVENT_OUT
PD7	-	-	USART2_CK	-	-	-	-	-	-	-	ESMC_IO7	-	-	-	-	EVENT_OUT
PD8	-	-	USART3_TX	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PD9	-	-	USART3_RX	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PD10	-	-	USART3_CK	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PD11	-	-	USART3_CTS	-	-	-	-	TIM5_ETR	-	-	-	-	-	-	-	EVENT_OUT
PD12	-	-	USART3_RTS	-	-	-	TIM4_CH1	-	-	-	-	-	-	-	-	EVENT_OUT
PD13	-	-	-	-	-	-	TIM4_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PD14	-	-	-	-	-	-	TIM4_CH3	-	-	-	-	-	-	-	-	EVENT_OUT
PD15	-	-	-	-	-	-	TIM4_CH4	-	-	-	-	-	-	-	-	EVENT_OUT

3.5. 端口 E 复用功能映射

表 3-7 端口 E 复用功能映射

PortE	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE0	-	-	-	-	-	-	TIM4_ETR	-	-	-	-	-	-	-	-	EVENT_OUT
PE1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE5	-	-	-	-	-	-	-	-	TIM9_CH1	-	-	-	-	-	-	EVENT_OUT
PE6	-	-	-	-	-	-	-	-	TIM9_CH2	-	-	-	-	-	-	EVENT_OUT
PE7	-	-	-	-	TIM1_ETR	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE8	-	-	-	-	TIM1_CH1N	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE9	-	-	-	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE10	-	-	-	-	TIM1_CH2N	-	-	-	-	-	ESMC_CLK	-	-	-	-	EVENT_OUT
PE11	-	-	-	-	TIM1_CH2	-	-	-	-	-	ESMC_SS3	-	-	-	-	EVENT_OUT
PE12	-	-	-	-	TIM1_CH3N	-	-	-	-	-	ESMC_IO0	-	-	-	-	EVENT_OUT
PE13	-	-	-	-	TIM1_CH3	-	-	-	-	-	ESMC_IO1	-	-	-	-	EVENT_OUT
PE14	-	-	-	-	TIM1_CH4	-	-	-	-	-	ESMC_IO2	-	-	-	-	EVENT_OUT
PE15	-	-	-	-	TIM1_BKIN	-	-	-	-	-	ESMC_IO3	-	-	-	-	EVENT_OUT

4. 存储器映射

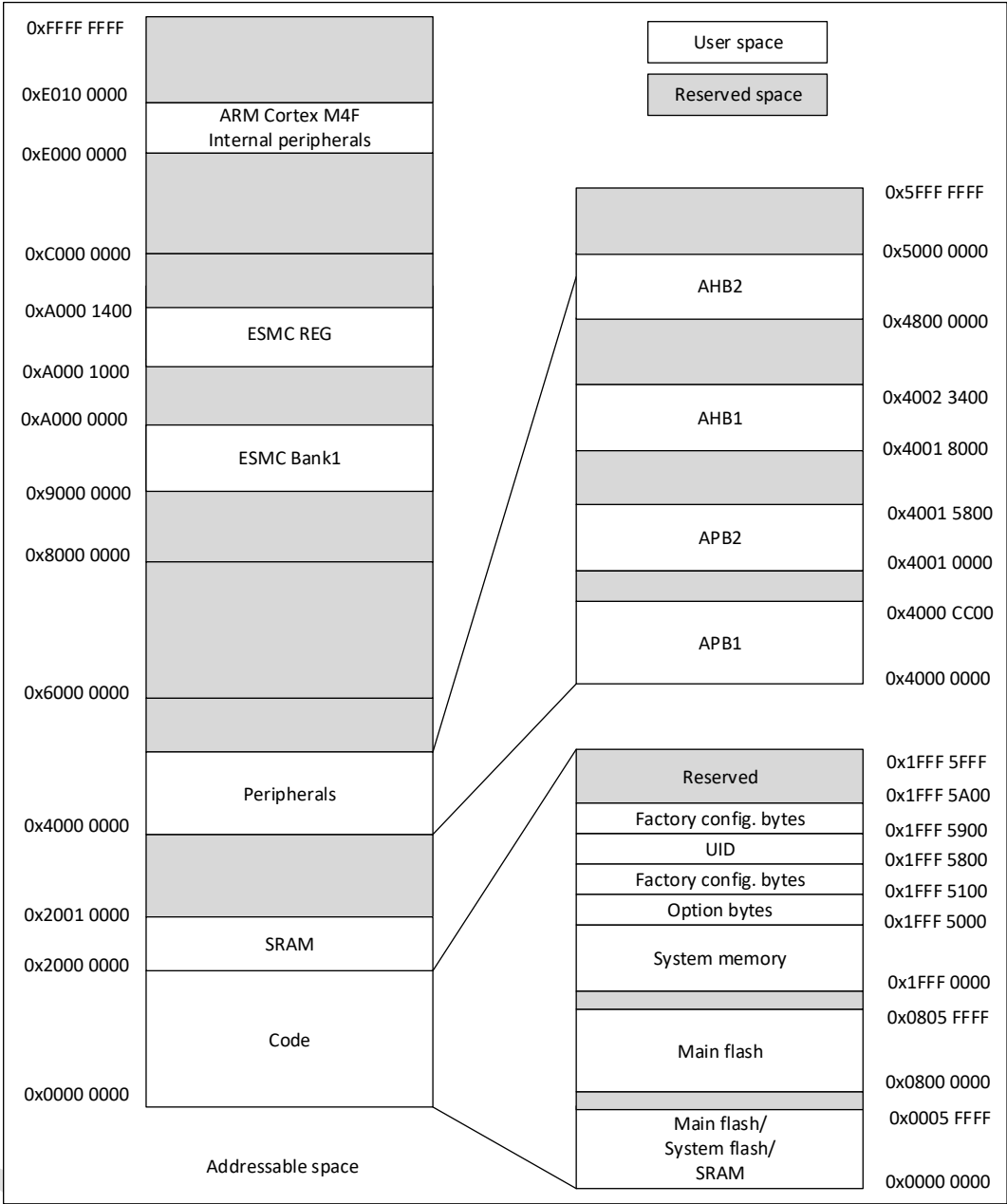


图 4-1 存储器映射

表 4-1 存储器地址

Type	Boundary address	Size	Memory area	Description
SRAM	0x2001 0000-0x3FFF FFFF	-	保留	1.CPU 读写该空间时产生 Re-sponse error, 进而进入 HardFault 异常 2.DMA 访问时产生 TEIF 状态位
	0x2000 0000-0x2000 FFFF	64 KB	SRAM	如果硬件上电配置 SRAM 为 64 KB, 则 SRAM 地址空间为 0x2000 0000-0x2000 FFFF
Code	0x1FFF 5A00-0x1FFF 5FFF	-	保留	-
	0x1FFF 5900-0x1FFF 59FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5800-0x1FFF 58FF	256 Bytes	UID bytes	Unique ID
	0x1FFF 5700-0x1FFF 57FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5600-0x1FFF 56FF	256 Bytes	HSI8M Trim	-
	0x1FFF 5500-0x1FFF 55FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5400-0x1FFF 54FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5300-0x1FFF 53FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5200-0x1FFF 52FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5100-0x1FFF 51FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5000-0x1FFF 50FF	256 Bytes	Option bytes	芯片软硬件 option bytes 信息
	0x1FFF 0000-0x1FFF 4FFF	24 KB	System memory	存放 boot loader
	0x0806 0000-0x1FFE FFFF	-	保留	-
	0x0800 0000-0x0805 FFFF	384 KB	Main flash memory	-
	0x0006 0000-0x07FF FFFF	8 MB	保留	1.CPU 读写该空间时产生 Re-sponse error, 进而进入 HardFault 异常 2.DMA 访问时产生 TEIF 状态位
	0x0000 0000-0x0005 FFFF	384 KB	根据 Boot 配置选择是: 1) Main flash memory 2) System memory 3) SRAM	-

1. 上述空间除外, 其余标注为保留的空间, 无法进行写操作, 读为 0, 且产生 response error。

表 4-2 外设寄存器地址

存储器起止地址	外设	总线
0xA000 1000 - 0xA000 13FF	ESMC	AHB
0x4002 3400 - 0x5FFF FFFF	保留	AHB2
0x4800 1000 - 0x4800 13FF	GPIOE	
0x4800 0C00 - 0x4800 0FFF	GPIOD	
0x4800 0800 - 0x4800 0BFF	GPIOC	
0x4800 0400 - 0x4800 07FF	GPIOB	
0x4800 0000 - 0x4800 03FF	GPIOA	

存储器起止地址	外设	总线
0x4002 3400 - 0x47FF FFFF	保留	AHB1
0x4002 3000 - 0x4002 33FF	CRC	
0x4002 2400 - 0x4002 2FFF	保留	
0x4002 2000 - 0x4002 23FF	FMC	
0x4002 1400 - 0x4002 1FFF	保留	
0x4002 1000 - 0x4002 13FF	RCC	
0x4002 0800 - 0x4002 0FFF	保留	
0x4002 0400 - 0x4002 07FF	DMA2	
0x4002 0000 - 0x4002 03FF	DMA1	
0x4001 8400 - 0x4001 FFFF	保留	
0x4001 8000 - 0x4001 83FF	SDIO	
0x4001 5800 - 0x4001 7FFF	DBG	APB2
0x4001 5400 - 0x4001 57FF	TIMER11	
0x4001 5000 - 0x4001 53FF	TIMER10	
0x4001 4C00 - 0x4001 4FFF	TIMER9	
0x4001 4000 - 0x4001 4BFF	保留	
0x4001 3C00 - 0x4001 3FFF	ADC3	
0x4001 3800 - 0x4001 3BFF	USART1	
0x4001 3400 - 0x4001 37FF	TIMER8	
0x4001 3000 - 0x4001 33FF	SPI1/I ² S1	
0x4001 2C00 - 0x4001 2FFF	TIMER1	
0x4001 2800 - 0x4001 2BFF	ADC2	
0x4001 2400 - 0x4001 27FF	ADC1	
0x4001 0800 - 0x4001 23FF	保留	
0x4001 0400 - 0x4001 07FF	EXTI	
0x4001 0000 - 0x4001 03FF	SYSCFG	
0x4000 CC00 - 0x4000 FFFF	保留	APB1
0x4000 C800 - 0x4000 CBFF	CTC	
0x4000 7800 - 0x4000 C7FF	保留	
0x4000 7400 - 0x4000 77FF	DAC	
0x4000 7000 - 0x4000 73FF	保留	
0x4000 6C00 - 0x4000 6FFF	PWR	
0x4000 6800 - 0x4000 6BFF	BKP	
0x4000 6400 - 0x4000 67FF	CANFD	
0x4000 6000 - 0x4000 63FF	USBD/CANFD 共享 512 字节 SRAM	
0x4000 5C00 - 0x4000 5FFF	USBD	
0x4000 5800 - 0x4000 5BFF	I ² C2	
0x4000 5400 - 0x4000 57FF	I ² C1	

存储器起止地址	外设	总线
0x4000 5000 - 0x4000 53FF	UASRT5	
0x4000 4C00 - 0x4000 4FFF	UASRT4	
0x4000 4800 - 0x4000 4BFF	USART3	
0x4000 4400 - 0x4000 47FF	USART2	
0x4000 4000 - 0x4000 43FF	保留	
0x4000 3C00 - 0x4000 3FFF	SPI3/I ² S3	
0x4000 3800 - 0x4000 3BFF	SPI2/I ² S2	
0x4000 3400 - 0x4000 37FF	保留	
0x4000 3000 - 0x4000 33FF	IWDG	
0x4000 2C00 - 0x4000 2FFF	WWDG	
0x4000 2800 - 0x4000 2BFF	RTC	
0x4000 2400 - 0x4000 27FF	保留	
0x4000 2000 - 0x4000 23FF	TIMER14	
0x4000 1C00 - 0x4000 1FFF	TIMER13	
0x4000 1800 - 0x4000 1BFF	TIMER12	
0x4000 1400 - 0x4000 17FF	TIMER7	
0x4000 1000 - 0x4000 13FF	TIMER6	
0x4000 0C00 - 0x4000 0FFF	TIMER5	
0x4000 0800 - 0x4000 0BFF	TIMER4	
0x4000 0400 - 0x4000 07FF	TIMER3	
0x4000 0000 - 0x4000 03FF	TIMER2	

5. 电气特性

5.1. 测试条件

除非特殊说明，所有的电压都以 V_{SS} 为基准。

5.1.1. 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $T_A = T_{A(max)}$ （取决于所选器件的温度范围），这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和 / 或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

5.1.2. 典型值

除非特别说明，典型数据都是在 $T_A = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 条件下测得的（针对 $1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$ 电压范围。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对于一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95 % 的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

5.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值，可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等，并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 5-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部供电电压（包括 V_{CC} , V_{CCA} , V_{BAT} , V_{REF+} ） ⁽¹⁾	-0.3	4.0	V
$V_{IN}^{(2)}$	FT_xx、NRST 引脚输入电压	$V_{SS}-0.3$	5.5	
	TT_xx 引脚输入电压	$V_{SS}-0.3$	4.0	
$ DV_{CCx} $	不同 V_{CC} 引脚之间电压变化	-	50	mV
$ V_{SSx}-V_{SS} $	不同地引脚之间电压变化	-	50	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. V_{IN} 的最大值必须始终遵循允许的最大注入电流值，具体见下表。

表 5-2 电流特性

符号	描述	最大值	单位
ΣI_{VCC}	流入所有 V_{CC}/V_{CCA} 电源线的总电流（拉电流） ⁽¹⁾	180	mA
ΣI_{VSS}	流出所有 V_{SS} 接地线的总电流（灌电流） ⁽¹⁾	180	
	所有 I/O 和控制引脚的总输出灌电流	170	

符号	描述	最大值	单位
$\Sigma I_{IO(PIN)}^{(2)}$	所有 I/O 和控制引脚的总拉电流	170	
$I_{IO}^{(2)}$	任意 I/O 和控制引脚的输出灌电流	30	
	任意 I/O 和控制引脚的输出拉电流 ⁽³⁾	30	
$I_{INJ(PIN)}$	在所有 5 V 兼容引脚上的注入电流 ⁽⁴⁾	-5/+0	
	其他所有引脚注入电流 ⁽⁵⁾	± 5	
$\Sigma I_{INJ(PIN)}^{(7)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁶⁾	± 25	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. IO 类型可参考引脚定义的术语和符号。
3. 不包括 PC13、PC14、PC15 引脚，PC13、PC14、PC15 通过电源开关供电。该开关的拉电流能力限制为 3 mA。
4. 反向注入电流会干扰器件的模拟性能。
5. 这些 I/O 上无法正向注入，输入电压低于指定的最大值时也不会发生正向注入。
6. 当 $V_{IN} > V_{CCA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。
7. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 5-3 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-65 ~ 150	°C
T_J	最大结温	150	°C

5.3. 工作条件

5.3.1. 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	AHB 时钟频率	-	0	144	MHz
f_{PCLK1}	APB1 时钟频率	-	0	144	
f_{PCLK2}	APB2 时钟频率	-	0	144	
V_{CC}	工作电压	-	1.8	3.6	V
V_{CCA}	模拟电路工作电压	必须与 V_{CC} 相同	1.8	3.6	V
V_{BAT}	备份部分工作电压	-	1.65	3.6	V
V_{IN}	FT_xx、NRST 引脚输入电压	-	$V_{SS} - 0.3$	5.5	V
	TT_xx 引脚输入电压	-	$V_{SS} - 0.3$	3.6	
T_A	环境温度	-	-40	105	°C
T_J	结温范围	-	-40	110	°C

5.3.2. 上下电工作条件

表 5-5 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t_{VCC}	V_{CC} 上升速率	-	50	∞	$\mu s/V$
	V_{CC} 下降速率	V_{CC} , V_{BAT} 同步下降	20	∞	
		V_{CC} 下降, V_{BAT} 保持	100	∞	

5.3.3. 复位和电压控制模块特性

表 5-6 复位和电压控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程电压检测器电平选择	PLS[2:0]=000 (上升沿)	1.7	1.8	1.9	V
		PLS[2:0]=000 (下降沿)	1.6	1.7	1.8	
		PLS[2:0]=001 (上升沿)	1.9	2	2.1	
		PLS[2:0]=001 (下降沿)	1.8	1.9	2	
		PLS[2:0]=010 (上升沿)	2.1	2.2	2.3	
		PLS[2:0]=010 (下降沿)	2	2.1	2.2	
		PLS[2:0]=011 (上升沿)	2.3	2.4	2.5	
		PLS[2:0]=011 (下降沿)	2.2	2.3	2.4	
		PLS[2:0]=100 (上升沿)	2.5	2.6	2.7	
		PLS[2:0]=100 (下降沿)	2.4	2.5	2.6	
		PLS[2:0]=101 (上升沿)	2.7	2.8	2.9	
		PLS[2:0]=101 (下降沿)	2.6	2.7	2.8	
		PLS[2:0]=110 (上升沿)	2.9	3	3.1	
		PLS[2:0]=110 (下降沿)	2.8	2.9	3	
		PLS[2:0]=111 (上升沿)	3.1	3.2	3.3	
		PLS[2:0]=111 (下降沿)	3	3.1	3.2	
$V_{PVDhyst}^{(1)}$	PVD 迟滞	-	-	100	-	mV
$V_{POR/PDR}$	上电/下电复位阈值	下降沿	1.58	1.63	1.68	V
		上升沿	1.56	1.61	1.66	
$V_{PDRhyst}^{(1)}$	PDR 迟滞	-	-	20	-	mV
$t_{RSTTEMPO}^{(2)}$	复位持续时间	-	1	2.5	4.5	ms

1. 由设计保证，不在生产中测试。
2. 复位持续时间的测量方法为从上电（POR 复位或从 V_{BAT} 唤醒）到用户应用代码读取第一条指令的时刻。

5.3.4. 工作电流特性

电流消耗受多个参数和因素影响，包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的代码等。本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式， V_{CC} 或 V_{SS} 上为静态值（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 28 MHz 时为 0 个等待周期，28 ~ 60 MHz 时为 1 个等待周期，60 ~ 90 MHz 时为 3 个等待周期，90 ~ 120 MHz 时为 4 个等待周期，120 ~ 140 MHz 时为 5 个等待周期，大于 140 MHz 时为 6 个等待周期）。
- 除非特别说明， $V_{CC} = 3.6\text{ V}$ ，最大环境温度（ T_A ）时达到最大值，典型值为 $T_A = 25\text{ }^{\circ}\text{C}$ ， $V_{CC} = 3.3\text{ V}$ 。
- 指令预取功能开启。当开启外设时： $f_{PCLK1} = f_{HCLK}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 5-7 Flash 下运行模式电流

符号	参数	条件	频率 f_{HCLK}	典型值	最大值		单位
				$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{CC}	运行模式下供电电流	外部时钟， 所有外设使能，Flash 运行	144 MHz	25.60	-	-	mA
			96 MHz	18.24	-	-	
			64 MHz	13.20	-	-	
			48 MHz	11.32	-	-	
			32 MHz	8.31	-	-	
			16 MHz	5.43	-	-	
			8 MHz	1.99	-	-	
		外部时钟， 所有外设禁止，Flash 运行	144 MHz	15.09	-	-	
			96 MHz	11.07	-	-	
			64 MHz	8.37	-	-	
			48 MHz	7.50	-	-	
			32 MHz	5.71	-	-	
			16 MHz	3.91	-	-	
			8 MHz	1.35	-	-	

表 5-8 SRAM 下运行模式电流

符号	参数	条件 ⁽³⁾	频率 f_{HCLK}	典型值	最大值 ⁽¹⁾		单位
				$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{CC}	运行模式下供电电流	外部时钟 ⁽²⁾ ， 所有外设使能	144 MHz	24.61	-	-	mA
			96 MHz	17.55	-	-	
			64 MHz	12.78	-	-	
			48 MHz	10.83	-	-	
			32 MHz	7.99	-	-	
			16 MHz	3.92	-	-	
			8 MHz	2.09	-	-	
		外部时钟 ⁽²⁾ ， 所有外设禁止	144 MHz	14.39	-	-	
			96 MHz	10.68	-	-	
			64 MHz	8.07	-	-	
			48 MHz	7.33	-	-	
			32 MHz	5.65	-	-	
			16 MHz	2.68	-	-	
			8 MHz	1.49	-	-	

1. 由特性评估得出，不在生产中测试。
2. 外部时钟为 16 MHz，当 $f_{HCLK} > 8\text{ MHz}$ 时启用 PLL。
3. 8 MHz 为内部 HSI 时钟。

表 5-9 Sleep 模式电流

符号	参数	条件	频率 f_{HCLK}	典型值	最大值 ⁽¹⁾		单位
				$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{CC}	睡眠模式供电	外部时钟, 所有外设使能	144 MHz	19.37	-	-	mA
			96 MHz	14.07	-	-	
			64 MHz	10.44	-	-	
			48 MHz	7.21	-	-	
			32 MHz	5.45	-	-	
			16 MHz	3.32	-	-	
			8 MHz	1.82	-	-	
		外部时钟, 所有外设禁止	144 MHz	6.60	-	-	
			96 MHz	4.98	-	-	
			64 MHz	3.95	-	-	
			48 MHz	3.41	-	-	
			32 MHz	2.86	-	-	
			16 MHz	1.95	-	-	
			8 MHz	1.07	-	-	

1. 数据基于考核结果, 不在生产中测试。

表 5-10 停机和待机模式电流

符号	参数	条件	典型值			最大值 ⁽¹⁾		单位
			$V_{CC}/V_{BAT} = 2.0\text{ V}$	$V_{CC}/V_{BAT} = 2.4\text{ V}$	$V_{CC}/V_{BAT} = 3.3\text{ V}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I_{CC}	停机模式供电电流	LDO 运行模式, 内部高速振荡器、内部低速振荡器和高速振荡器关闭	432	-	-	-	-	μA
		LDO 低功耗模式, 内部高速振荡器、内部低速振荡器和高速振荡器关闭	370	-	-	-	-	
	待机模式供电电流	内部低速振荡器和 IWDG 开启	4.8	-	-	-	-	
		内部低速振荡器开启, IWDG 关闭	4.8	-	-	-	-	
		内部低速 RC 振荡器和 IWDG 关闭, 低速振荡器和 RTC 关闭	4.7	-	-	-	-	
	I_{CC_VBAT} 备份域供电电流	低速振荡器和 RTC 关闭	4.7	-	-	-	-	
		低速振荡器和 RTC 开启	4.8	-	-	-	-	

1. 由特性评估得出, 不在生产中测试。

5.3.5. 低功耗模式唤醒时间

表 5-11 低功耗模式唤醒时间⁽²⁾⁽³⁾

符号	参数	典型值 ⁽³⁾	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	6	CPU 时钟周期
$t_{WUSTOP}^{(1)}$	从停机模式唤醒(LDO 运行模式)	6.88	μs
	从停机模式唤醒(LDO 低功耗模式)	10.66	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	79.50	μs

- 1. 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。
- 2. 数据基于考核结果，不在生产中测试。
- 3. 测试数据基于 HSI 8 M 条件。

5.3.6. 外部时钟源特性

5.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式(RCC_CR 的 HSEBYP 置位)，芯片内的高速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

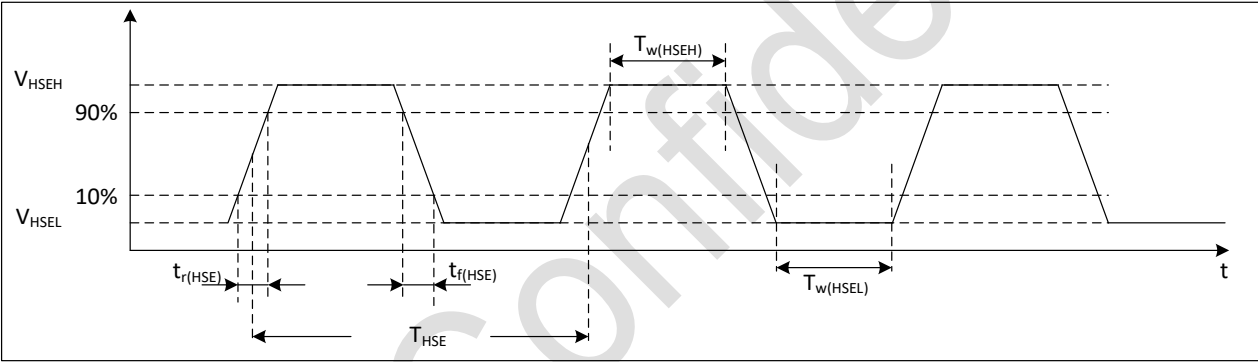


图 5-1 外部高速时钟时序图

表 5-12 外部高速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	1	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{CC}$	-	V_{CC}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{CC}$	
$t_{w(HSE)}$	OSC_IN 输入引脚高电平低电平时间 ⁽¹⁾		5	-	-	ns
$t_{r(HSE)} / t_{f(HSE)}$	OSC_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
$DuCy(HSE)$	占空比	-	45	-	55	%
I_L	OSC_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

- 1. 由设计保证，不在生产中测试。

5.3.6.2. 外部低速时钟

在 LSE 的 bypass 模式 (RCC_BDCR 的 LSEBYP 置位, 芯片内的低速起振电路停止工作, 相应的 IO 作为标准的 GPIO 使用。

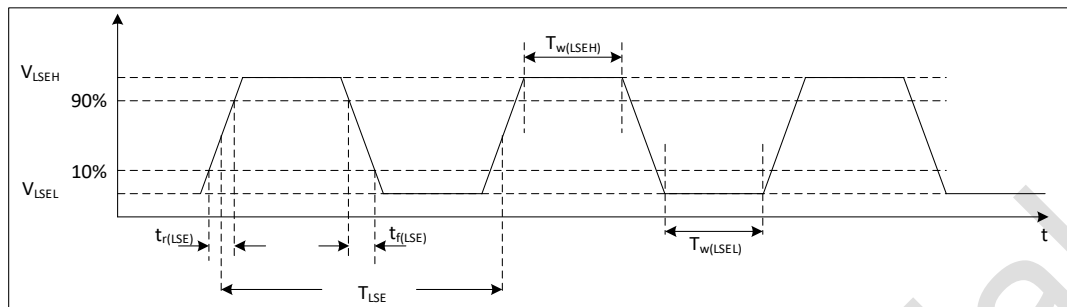


图 5-2 外部低速时钟时序图

表 5-13 外部低速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾		-	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压	-	$0.7V_{CC}$	-	V_{CC}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{CC}$	
$t_{w(LSE)}$	OSC32_IN 输入引脚高电平低电平时间 ⁽¹⁾	-	450	-	-	ns
$t_{r(LSE)} / t_{f(LSE)}$	OSC32_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	50	
$C_{in(LSE)}$	OSC32_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
$DuCy(LSE)$	占空比	-	30	-	70	%
I_L	OSC32_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证,不在生产中测试。

5.3.6.3. 外部高速晶体

可以通过外接 4 ~ 32 MHz 的晶体/陶瓷谐振器。在应用中, 晶体和负载电容应该尽可能靠近管脚, 这样可以使输出变形和启动稳定时间最小化。

表 5-14 外部高速晶体特性

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	32	MHz
R_F	反馈电阻	-	-	200	-	k Ω
I_{CC}	HSE 功耗	$C_L=12\text{ pF}@32\text{ MHz}$, HSE_DRV[1:0]=01	-	-	1	mA
g_m	振荡器跨导	启动	HSE_DRV[1:0]=00	3.5	-	mA/V
			HSE_DRV[1:0]=01	5	-	
			HSE_DRV[1:0]=10	7.5	-	
			HSE_DRV[1:0]=11	10	-	
$t_{SU(HSE)}^{(2)}$	启动时间	V_{CC} 是稳定的	-	0.7	-	ms

1. 由特性评估给出, 不在生产中测试。

2. 相对较低的 R_F 电阻值提供了更好的保护, 以防止在潮湿环境中使用时, 由于感应泄漏和偏置条件的变化而产生的问题。但是, 如果 MCU 在恶劣的湿度条件下使用时, 设计时建议把这个参数考虑进去。

5.3.6.4. 外部低速晶体

可以通过外接 32.768 kHz 的晶体/陶瓷谐振器。在应用中,晶体和负载电容应该尽可能靠近管脚,这样可以使输出变形和启动稳定时间最小化。

表 5-15 外部低速晶体特性

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
RF	反馈电阻	-	-	5	-	MΩ
I _{CC}	LSE 功耗	LSE_DRV_VBKP[1:0]=00	-	500	-	nA
		LSE_DRV_VBKP[1:0]=01	-	630	-	nA
		LSE_DRV_VBKP[1:0]=10	-	250	-	nA
		LSE_DRV_VBKP[1:0]=11	-	315	-	nA
g _m	振荡器跨导	LSE_DRV_VBKP[1:0]=00	8.5	-	-	μA/V
		LSE_DRV_VBKP[1:0]=01	13.5	-	-	μA/V
		LSE_DRV_VBKP[1:0]=10	2.5	-	-	μA/V
		LSE_DRV_VBKP[1:0]=11	3.75	-	-	μA/V
t _{SU(LSE)} ⁽²⁾	启动时间	V _{CC} 是稳定的	-	0.5	-	s

1. 由设计保证,不在生产中测试。
2. 数据基于考核结果,不在生产中测试。

5.3.7. 内部高频时钟源 HSI 特性

表 5-16 内部高频时钟源 (HSI8) 特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
f _{HSI}	频率	-	7.92	8	8.08	MHz
DuCy _(HSI)	占空比	-	45	-	55	%
ACC _{HSI}	HSI 震荡器精度	用户使用 RCC_CR 寄存器调整	-	0.5	1 ⁽²⁾	%
		工厂校准 T _A = -10 ~ 85 °C	-2.5	-	2.5	%
		T _A = -40 ~ 105 °C	-3.0	-	3.0	%
t _{SU(HSI)} ⁽²⁾	HSI 振荡器启动时间	-	1	-	2	μs
I _{CC(HSI)} ⁽²⁾	HSI 振荡器功耗	-	-	80	150	μA

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

表 5-17 内部高频时钟源 (HSI48) 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	HSI48 频率	V _{CC} =3.3 V, T _A = 25 °C	47.52	48	48.48	MHz
DuCy _(HSI)	占空比	-	45	-	55	%
ΔTemp _(HSI)	HSI48 频率温度漂移	T _A = 0 ~ 85 °C	-3.0	-	3.0	%
		T _A = -40 ~ 105 °C	-3.5	-	3.5	
t _{SU(HSI)} ⁽²⁾	HSI48 振荡器启动时间	-	-	25	-	μs
I _{CC(HSI)} ⁽²⁾	HSI48 振荡器功耗	48 MHz	-	360	-	μA

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。

5.3.8. 内部低频时钟源 LSI 特性

表 5-18 内部低频时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	$V_{CC} = 3.3\text{ V}$, $T_A = 25\text{ }^{\circ}\text{C}$	38.6	40	41.4	kHz
		$V_{CC} = 1.8 \sim 3.6\text{ V}$, $T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	30	40	50	kHz
$t_{su(LSI)}^{(1)}$	LSI 振荡器启动时间	-	-	-	85	μs
$I_{CC(LSI)}^{(1)}$	LSI 振荡器功耗	-	-	0.2	0.3	μA

1. 由设计保证，不在生产中测试。
2. 数据基于考核结果，不在生产中测试。

5.3.9. 锁相环 PLL 特性

表 5-19 锁相环特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟	8	24	25	MHz
	PLL 输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL 倍频输出时钟	48	-	144	MHz
t_{LOCK}	PLL 锁相时间	-	25	550	μs
Jitter	抖动	-	-	180	ps

1. 由设计保证，不在生产中测试。

5.3.10. 存储器特性

表 5-20 存储器特性⁽²⁾

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值	单位
N_{END}	擦写次数	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	100	-	-	kcycles
		$T_A = 85^{\circ}\text{C} \sim 105^{\circ}\text{C}$	10	-	-	
t_{RET}	数据保持时间	$T_A = 55^{\circ}\text{C}$, 1000 次擦写后	20	-	-	years
		$T_A = 85^{\circ}\text{C}$, 1000 次擦写后	15	-	-	
		$T_A = 105^{\circ}\text{C}$, 1000 次擦写后	10	-	-	
		$T_A = 55^{\circ}\text{C}$, 10000 次擦写后	10	-	-	
t_{PROG}	页编程时间	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-	1.5	-	ms
t_{ERASE}	页擦除时间	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-	5	-	ms
t_{MERASE}	全片擦除时间	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-	5	-	ms

1. 由设计保证，不在生产中测试。
2. 在 Flash 擦写期间，不能在 SRAM 中运行程序，否则会导致 CPU 停止工作。

5.3.11. ESD & LU 特性

基于三个不同的测试 (ESD、LU)，使用特定的测量方法，对芯片施加应力测试以决定它的电气敏感性方面的性能。

表 5-21 ESD 特性

符号	参数	条件	最小值	典型值	最大值	Unit
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = 25\text{ }^{\circ}\text{C}$; JESD22- A114	-	-	4000	V
$V_{ESD(CDM)}$	静电放电电压 (器件充电模型)	$T_A = 25\text{ }^{\circ}\text{C}$; JESD22-C101	-	-	1000	V
LU	过电流测试	$T_A = 25\text{ }^{\circ}\text{C}$; JESD78A	-	-	± 200	mA
	过压测试		-	-	5.4	V

5.3.12. I/O 电流注入特性

作为一般规则，在正常产品操作期间，应避免由于外部电压低于 V_{SS} 或高于 V_{CC} （对于标准，3 V I/O 引脚）而向 I/O 引脚注入电流。然而，为了在异常注入意外发生的情况下给出微控制器的鲁棒性的指示，在器件特性测试时会做抽样测试。

对 I/O 电流注入的功能敏感性

当在设备上执行简单的应用程序时，通过将电流注入配置成输入浮空模式的 I/O 引脚来对设备施加压力。当电流注入 I/O 引脚时（每次只注入一个），检查器件是否发生功能故障。

故障由超出范围的参数表示：ADC 错误高于某个限制（>5 LSB TUE）、相邻引脚上的电流注入超出规范或其他功能故障（例如复位、振荡器频率偏差）。

表 5-22 I/O 电流注入敏感性

符号	描述	功能敏感性		单位
		负电流注入	正电流注入	
I_{INJ}	在 OSC_IN32, OSC_OUT32, PC13、PC14、PC15 引脚上的注入电流	0	0	mA
	在所有 5 V 容忍引脚上的注入电流	-5	0	
	在所有其他引脚上的注入电流	-5	5	

5.3.13. EFT 特性

表 5-23 EFT 特性

符号	参数	条件	等级
EFT to power	-	IEC61000-4-4	4A

5.3.14. 端口特性

表 5-24 IO 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平	TT_xx 引脚, $1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	-0.3	-	$0.35 \cdot V_{CC} - 0.06$	V
		FT_xx 引脚, $1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	-0.3	-	$0.4 \cdot V_{CC} - 0.04$	
V_{IH}	输入高电平	TT_xx 引脚, $1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	$0.6 \cdot V_{CC} + 0.14$	-	$V_{CC} + 0.3$	V
		FT_xx 引脚, $1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	$0.45 \cdot V_{CC} + 0.23$	-	5.5	
$V_{hys}^{(1)}$	I/O 施密特电压迟滞	$1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	-	50	-	mV
$I_{lk}^{(2)}$	输入漏电流	TT_xx 引脚, $V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	-1	μA
		FT_xx 引脚, $V_{IN} = 5\text{ V}$	-	-	3	
$R_{PU}^{(3)}$	内部上拉电阻	$V_{IN} = V_{SS}$	30	40	50	k Ω
$R_{PD}^{(3)}$	内部下拉电阻	$V_{IN} = V_{CC}$	30	40	50	k Ω
C_{IO}	I/O 引脚电容	-	-	5	-	pF
$t_{ns(EXT)}^{(1)}$	输入滤波宽度	ENI=1, ENS=1	3	5	10	ns
$t_{ns(I2C)}^{(1)}$	I ² C 输入滤波宽度	ENI=1, EIIC=1	50	140	250	ns
$t_{ns(NRST)}^{(1)}$	NRST 输入滤波宽度	ENI=1, EIIC=1	100	18	300	ns

1. 由设计保证, 不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。

输出驱动电流

GPIO (通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{ mA}$ 电流, 也可以吸收或输出多达 $\pm 20\text{ mA}$ 电流 (需放宽 V_{OL}/V_{OH} 指标)。PC13、PC14 和 PC15 3 个引脚只能吸收或输出 $\pm 3\text{ mA}$ 电流。当 PC13、PC14、PC15 被用作输出功能时, 在输出负载 30 pF 条件下, I/O 速度不能超过 2 MHz。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值给出的绝对最大额定值:

- 所有 I/O 端口从 V_{CC} 上获取的电流总和, 加上 MCU 在 V_{CC} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VCC} 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过绝对最大额定值 I_{VSS} 。

输出电压

除非特别说明, 下表列出的参数都是在通用工作条件 T_A 使用环境温度和 V_{CC} 电源电压条件下进行的测试得到。

表 5-25 输出电压特性⁽³⁾

符号	参数	条件	最小值	典型值	最大值 ⁽²⁾	单位
$V_{OL}^{(1)}$	输出低电平, 8 个引脚同时吸收电流	$2.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$, $I_{IO} = +8\text{ mA}$	-	-	0.4	V
		$2.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$, $I_{IO} = +20\text{ mA}$	-	-	1.3	
		$1.8\text{ V} \leq V_{CC} \leq 2.7\text{ V}$, $I_{IO} = +6\text{ mA}$	-	-	0.4	
$V_{OH}^{(1)}$	输出高电平, 8 个引脚同时输出电流	$2.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$, $I_{IO} = +8\text{ mA}$	$V_{CC} - 0.4$	-	-	
		$2.7\text{ V} \leq V_{CC} \leq 3.6\text{ V}$, $I_{IO} = +20\text{ mA}$	$V_{CC} - 1.3$	-	-	
		$1.8\text{ V} \leq V_{CC} \leq 2.7\text{ V}$, $I_{IO} = +6\text{ mA}$	$V_{CC} - 0.4$	-	-	

- IO 类型可参考引脚定义的术语和符号。
- 数据基于考核结果,不在生产中测试。
- 对于所有输出的组合, 最大总电流 (包括 V_{OL} 或 V_{OH} 产生的电流总和) 不应超过[表 5-2 电流特性](#)最大额定值参数 $\Sigma I_{IO(PIN)}$ 。

5.3.15. ADC 特性

表 5-26 ADC 特性

符号	参数	条件 ⁽⁴⁾	最小值	典型值	最大值	单位
$V_{CCA}^{(3)}$	供电电压	-	1.8	-	3.6	V
V_{REF+}	正参考电压	-	1.8	-	V_{CCA}	V
I_{VCCA}	V_{CCA} 引脚电流	$f_{ADC} = 16 \text{ MHz}$	-	280	370 ⁽¹⁾	μA
I_{VREF}	V_{REF} 引脚电流	$f_{ADC} = 16 \text{ MHz}$	-	8	10 ⁽¹⁾	μA
f_{ADC}	ADC 时钟频率	-	0.8	-	16	MHz
$f_s^{(2)}$	采样速率	-	0.05	-	1	MHz
V_{AIN}	转换电压范围 ⁽³⁾	-	0 (V_{SSA} 或 V_{REF-} 接到地)	-	V_{REF+}	V
$R_{AIN}^{(2)}$	外部输入阻抗	-	-	-	30.9	k Ω
$R_{ADC}^{(2)}$	采样开关电阻	-	-	-	1.6	k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容	-	-	-	8	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 16 \text{ MHz}$	5.6875 ~ 8.75			μs
		-	91 (采样时间为 1clk) ~ 140 (采样时间为 8 clk)			$1/f_{ADC}$
$t_s^{(2)}$	采样时间	$f_{ADC} = 16 \text{ MHz}$	0.218	-	14.968	μs
		-	3.5	-	239.5	$1/f_{ADC}$
t_{smp_setup}	采样建立时间 (内部通道)	-	20	-	-	μs
$t_{STAB}^{(2)}$	上电稳定时间	-	0	0	1	μs
$t_{CONV}^{(2)}$	总转换时间	$f_{ADC} = 16 \text{ MHz}$	1	-	15.75	μs
		-	16 ~ 252 (采样 t_s + 逐次逼近 12.5)			$1/f_{ADC}$

- 由设计保证,不在生产中测试。
- 数据基于考核结果,不在生产中测试。
- 部分封装形式 V_{REF+} 可在内部连接到 V_{CCA} , V_{REF-} 可在内部连接到 V_{SSA} , 具体可参考引脚定义。
- 在外部触发时, 需要额外增加 $1/f_{PCLK2}$ 的延迟。

$$a) \quad R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

- 上述公式用于决定最大外部阻抗, 使得误差可以小于 1/4 LSB。其中 $N = 12$, 表示 12 位分辨率。

表 5-27 $R_{AIN \text{ max}}$ for $f_{ADC} = 16 \text{ MHz}^{(1)}$

T_s (周期)	t_s (μs)	$R_{AIN \text{ max}}$ (k Ω)
3.5	0.21	0.3
5.5	0.34	1.9
7.5	0.46	3.5
13.5	0.84	8.3
28.5	1.78	20.4
41.5	2.59	30.9
134.5	8.41	NA
239.5	15.96	NA

- 由设计保证, 不在生产中测试。

表 5-28 ADC 精度⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$1.8\text{ V} < V_{CCA}=V_{REF+} < 3.6\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	7.5	15	LSB
EO	偏移误差	$V_{CCA}=V_{REF+} 3.3\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	2	4	LSB
		$1.8\text{ V} < V_{CCA}=V_{REF+} < 3.6\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	2	6	
EG	增益误差	$V_{CCA}=V_{REF+} 3.3\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	4	5	LSB
		$1.8\text{ V} < V_{CCA}=V_{REF+} < 3.6\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	4	8	
ED	微分线性误差	$1.8\text{ V} < V_{CCA}=V_{REF+} < 3.6\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	1.2	1.5	LSB
EL	积分线性误差	$1.8\text{ V} < V_{CCA}=V_{REF+} < 3.6\text{ V}$; $f_{ADC} = 16\text{ MHz}; f_s \leq 1\text{ MSps}$; $T_A = \text{entire range}$	4	6	LSB

1. 数据基于考核结果，不在生产中测试。
2. ADC 测试之前先做校准。
3. ADC 精度与反向注入电流关系： 需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。如果正向的注入电流，只要处于 I/O current injection characteristics 中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。
4. 由特性评估保证，不在生产中测试。

5.3.16. DAC 特性

表 5-29 DAC 特性 (PA4 引脚)

符号	参数	最小值	典型值	最大值	单位	备注
V_{CCA}	模拟供电电压	2.2	-	3.6	V	
V_{REF+}	正参考电压	2.2	-	3.6	V	$V_{REF+} \leq V_{CCA}$
V_{SSA}	模拟地	0	-	0	V	
$R_{LOAD}^{(1)}$	缓冲器开启时相对 V_{SSA} 的电阻负载	5	-	-	k Ω	
	缓冲器开启时相对 V_{CCA} 的电阻负载	15	-	-	k Ω	
$R_o^{(1)}$	缓冲器关闭时的阻抗输出	-	-	15	k Ω	缓冲器关闭时，要使精度为 1%，DAC_OUT 与 V_{SS} 之间的最小阻性负载为 1.5 M Ω

符号	参数	最小值	典型值	最大值	单位	备注
$C_{LOAD}^{(1)}$	容性负载	-	-	50	pF	DAC_OUT 引脚上的最大容性负载 (缓冲器开启时)
$DAC_OUT_{min}^{(1)}$	缓冲器开启时 DAC_OUT 电压下限	0.2	-	-	V	给出了 DAC 的最大输出幅度。对应于 12 位输入代码(0x0E0)到(0xF1C) ($V_{REF+} = 3.6$ V 时)
$DAC_OUT_{max}^{(1)}$	缓冲器开启时 DAC_OUT 电压上限	-	-	$V_{CCA}-0.2$	V	
$DAC_OUT_{min}^{(1)}$	缓冲器关闭时 DAC_OUT 电压下限	-	0.5		mV	给出 DAC 的最大输出幅度
$DAC_OUT_{max}^{(1)}$	缓冲器关闭时 DAC_OUT 电压上限	-		$V_{REF+}-10$ mV	V	
I_{CC_VREF+}	静止模式 (待机模式) 下的 DAC DC V_{REF} 直流电流消耗	-		380	μA	无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码(0x0E4)
I_{CCA}	静止模式下的 DAC DC V_{CCA} 电流消耗 ⁽²⁾	-		380	μA	无负载, 输入端中间代码 (0x800)
		-		480	μA	无负载, 在输入上的直流消耗方面, 对应于 $V_{REF+} = 3.6$ V 时的最差代码(0xF1C)
$DNL^{(3)}$	微分非线性误差 (两个连续代码之间的偏差-1LSB)	-	± 1.5	-	LSB	DAC 按 8 位配置时
		-	± 2		LSB	DAC 按 12 位配置时
$INL^{(2)}$	积分非线性误差 (代码 i 处测得的值与代码 0 及最后一个代码 1023 之间连线上代码 i 处的值之间的差)	-	± 1.5	-	LSB	DAC 按 8 位配置时
		-	± 2		LSB	DAC 按 12 位配置时
$Offset^{(2)}$	偏移误差 (代码(0x800)处测得值与理想值 $V_{REF+}/2$ 之间的差)	-	-	± 12	LSB	DAC 按 12 位配置 $V_{REF+} = 3.3$ V
		-	-	± 3	LSB	DAC 按 8 位配置, $V_{REF+} = 3.6$ V
		-	-	± 12	LSB	DAC 按 12 位配置, $V_{REF+} = 3.6$ V
$Gain\ error^{(2)}$	增益误差	-	-	± 0.5	%	DAC 按 12 位配置时
$t_{SETTLING}^{(2)}$	建立时间 (满刻度: 适用于当 DAC_OUT 达到最终值 ± 1 LSB 时, 最低输入代码与最高输入代码之间的 10 位输入代码转换)	-	3	4	μs	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5\ k\Omega$
$Update\ rate^{(2)}$	当输入代码有微小变化 (从代码 i 到 i+1LSB) 时, 确保 DAC_OUT 输出变化正确的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5\ k\Omega$
$t_{WAKEUP}^{(2)}$	从关闭状态唤醒的时间 (在 DAC 控制寄存器中将 ENx 位置 1)	-	6.5	10	μs	$C_{LOAD} \leq 50pF$, $R_{LOAD} \geq 5\ k\Omega$, 介于可能的最低值和最高值之间的输入代码

符号	参数	最小值	典型值	最大值	单位	备注
PSRR ⁽¹⁾	电源抑制比（相对于 V_{CCA} ）（静态直流测量）	-	-67	-40	dB	无 R_{LOAD} , $C_{LOAD} = 50 \text{ pF}$

1. 由设计保证,不在生产中测试。
2. 静止模式对应的状态为，DAC 保持在稳定的输出电平以确保无动态消耗发生。

表 5-30 DAC 特性 (PA5 引脚)

符号	参数	最小值	典型值	最大值	单位	备注
V_{CCA}	模拟供电电压	2.2	-	3.6	V	
V_{REF+}	正参考电压	2.2	-	3.6	V	$V_{REF+} \leq V_{CCA}$
V_{SSA}	模拟地	0	-	0	V	
$R_{LOAD}^{(1)}$	缓冲器开启时相对 V_{SSA} 的电阻负载	5	-	-	k Ω	
	缓冲器开启时相对 V_{CCA} 的电阻负载	15	-	-	k Ω	
$R_O^{(1)}$	缓冲器关闭时的阻抗输出	-	-	15	k Ω	缓冲器关闭时，要使精度为 1%，DAC_OUT 与 V_{SS} 之间的最小阻性负载为 1.5 M Ω
$C_{LOAD}^{(1)}$	容性负载	-	-	50	pF	DAC_OUT 引脚上的最大容性负载（缓冲器开启时）
$DAC_OUT_{min}^{(1)}$	缓冲器开启时 DAC_OUT 电压下限	0.2	-	-	V	给出了 DAC 的最大输出幅度。对应于 12 位输入代码(0x0E0)到(0xF1C) ($V_{REF+} = 3.6 \text{ V}$ 时)
$DAC_OUT_{max}^{(1)}$	缓冲器开启时 DAC_OUT 电压上限	-	-	$V_{CCA}-0.2$	V	
$DAC_OUT_{min}^{(1)}$	缓冲器关闭时 DAC_OUT 电压下限	-	0.5		mV	给出 DAC 的最大输出幅度
$DAC_OUT_{max}^{(1)}$	缓冲器关闭时 DAC_OUT 电压上限	-		$V_{REF+}-10 \text{ mV}$	V	
I_{CC_VREF+}	静止模式（待机模式）下的 DAC DC V_{REF} 直流电流消耗	-		380	μA	无负载，在输入上的直流消耗方面，对应于 $V_{REF+} = 3.6 \text{ V}$ 时的最差代码(0x0E4)
I_{CCA}	静止模式下的 DAC DC V_{CCA} 电流消耗 ⁽²⁾	-		380	μA	无负载，输入端中间代码 (0x800)
		-		480	μA	无负载，在输入上的直流消耗方面，对应于 $V_{REF+} = 3.6 \text{ V}$ 时的最差代码(0xF1C)
$DNL^{(3)}$	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	± 3.5	-	LSB	DAC 按 8 位配置时
		-	± 4	-	LSB	DAC 按 12 位配置时
$INL^{(2)}$	积分非线性误差（代码 i 处测得的值与代码 0 及最后一个代码 1023 之间连线上代码 i 处的值之间的差）	-	± 3.5	-	LSB	DAC 按 8 位配置时
		-	± 4	-	LSB	DAC 按 12 位配置时
$Offset^{(2)}$		-	-	± 12	LSB	DAC 按 12 位配置 $V_{REF+} = 3.3 \text{ V}$

符号	参数	最小值	典型值	最大值	单位	备注
	偏移误差 (代码(0x800)处测得值与理想值 $V_{REF+}/2$ 之间的差)	-	-	± 3	LSB	DAC 按 8 位配置, $V_{REF+} = 3.6\text{ V}$
		-	-	± 12	LSB	DAC 按 12 位配置, $V_{REF+} = 3.6\text{ V}$
Gain error ⁽²⁾	增益误差	-	-	± 0.5	%	DAC 按 12 位配置时
$t_{SETTLING}^{(2)}$	建立时间 (满刻度: 适用于当 DAC_OUT 达到最终值 $\pm 1\text{LSB}$ 时, 最低输入代码与最高输入代码之间的 10 位输入代码转换)	-	3	4	μs	$C_{LOAD} \leq 50\text{pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
Update rate ⁽²⁾	当输入代码有微小变化 (从代码 i 到 $i+1\text{LSB}$) 时, 确保 DAC_OUT 输出变化正确的最大频率	-	-	1	MS/s	$C_{LOAD} \leq 50\text{pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$
$t_{WAKEUP}^{(2)}$	从关闭状态唤醒的时间 (在 DAC 控制寄存器中将 ENx 位置 1)	-	6.5	10	μs	$C_{LOAD} \leq 50\text{pF}$, $R_{LOAD} \geq 5\text{ k}\Omega$, 介于可能的最低值和最高值之间的输入代码
PSRR ⁺ ⁽¹⁾	电源抑制比 (相对于 V_{CCA}) (静态直流测量)	-	-67	-40	dB	无 R_{LOAD} , $C_{LOAD} = 50\text{ pF}$

1. 由设计保证,不在生产中测试。
2. 静止模式对应的状态为, DAC 保持在稳定的输出电平以确保无动态消耗发生。

5.3.17. 温度传感器特性

表 5-31 温度传感器特性

符号	参数	最小值	典型值	最大值 ⁽³⁾	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 2	± 5	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	2.0	2.2	2.4	$\text{mV}/^{\circ}\text{C}$
$V_{30}^{(1)}$	30 $^{\circ}\text{C}$ 时的电压	0.682	0.7	0.718	V
$t_{START}^{(2)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时的 ADC 采样时间	20	-		μs

1. 由设计保证,不在生产中测试。
2. 数据基于考核结果,不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.18. 内置参考电压特性

表 5-32 内置参考电压特性

符号	参数	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	1.17	1.2	1.23	V
$t_{S_vrefint}^{(1)}$	读内部参考电压时, ADC 采样时间	17.1	-	-	μs
V_{RERINT}	温度范围内的内部参考电压偏差	-	-	10	mV
T_{Coeff}	温度系数	-100	-	100	$\text{ppm}/^{\circ}\text{C}$

1. 由设计保证,不在生产中测试。

5.3.19. 定时器特性

表 5-33 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 144 \text{ MHz}$	-	-	ns
f_{EXT}	CH1~CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 144 \text{ MHz}$	-	-	MHz
Re_{TIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	选择内部时钟时 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 144 \text{ MHz}$	-	-	μs
t_{MAX_COUNT}	最大可能计数	-	-	65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 144 \text{ MHz}$	-	-	s

表 5-34 IWDG 特性(时钟选择 LSI)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	499.712	ms
/8	1	0.244	999.424	
/16	2	0.488	1998.848	
/32	3	0.976	3997.696	
/64	4	1.952	7995.392	
/128	5	3.904	15990.784	
/256	6 or 7	7.808	31981.568	

表 5-35 WWDG 特性(时钟选择 48 MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

5.3.20. 通讯口特性

5.3.20.1. I²C 接口特性

I²C 接口满足 I²C 总线规范和用户手册的要求:

- 标准模式 (100 kHz)
- 快速模式 (400 kHz)

I²C SDA 和 SCL 管脚具有模拟滤波功能, 参见下表。

表 5-36 I²C 滤波器特性

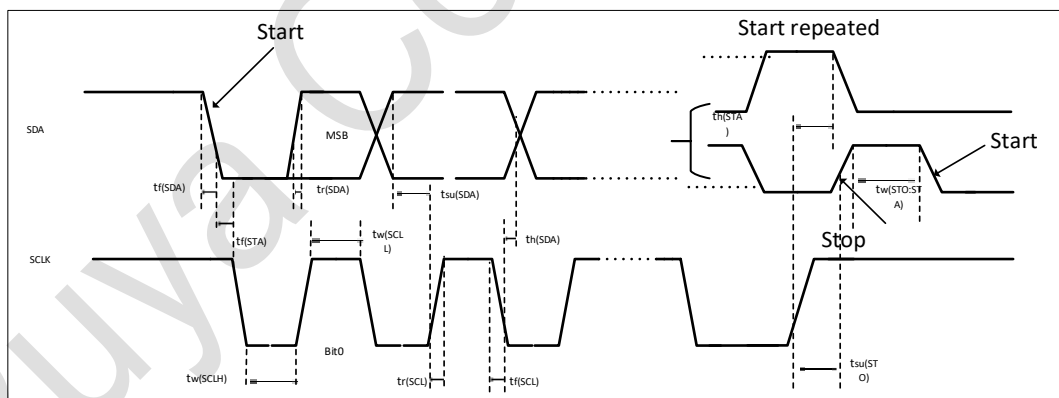
符号	参数	最小值	最大值	单位
t_{AF}	限制过滤器抑制的尖峰持续时间 (短于限制持续时间的尖峰被抑制)	50	260	ns

I²C 接口符合标准 I²C 通信协议, 但有如下限制: SDA 和 SCL 不是真的引脚, 当配置为开漏输出时, 在引出脚和 V_{CC} 之间的 PMOS 管被关闭, 但仍然存在。

表 5-37 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4	-	0.6	-	μs
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	ns
$t_h(SDA)$	SDA 数据保持时间	-	3450 ⁽³⁾	-	900 ⁽³⁾	
$t_r(SDA) / t_f(SDL)$	SDA 和 SCL 上升时间	-	1000	-	300	
$t_f(SDA) / t_r(SDL)$	SDA 和 SCL 下降时间	-	300	-	300	
$t_h(STA)$	开始条件保持时间	4	-	0.6	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	
$t_{su(STO)}$	停止条件建立时间	4	-	0.6	-	
$t_w(STO:STA)$	停止条件至开始条件的的时间 (总线空闲)	4.7	-	1.3	-	
C_b	每条总线的容性负载	-	400	-	400	pF
t_{SP}	噪声滤波脉宽	0	50 ⁽⁴⁾	0	50 ⁽⁴⁾	μs

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I²C 的最大频率， f_{PCLK1} 必须大于 4 MHz。为达到快速模式 I²C 的最大频率， f_{PCLK1} 必须大于 8 MHz。
3. 在芯片内部必须保证 SDA 信号上至少有 300 ns 的保持时间用于避免数据输出时 SCL 低电平期间 SDA 总线上数据发生变化。
4. 模拟滤波器过滤的最小尖峰脉宽大于 t_{SP} (最大值)。

图 5-3 I²C 总线时序图

5.3.20.2. SPI 接口特性

表 5-38 SPI 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{SCK} $1/t_c(SCK)$	SPI 时钟频率	主模式 2.7~3.6 V	-	-	36	MHz
		主模式 1.8~3.6 V	-	-	36	
		从模式 2.7~3.6 V	-	-	36	
		从模式 1.8~3.6 V	-	-	36	
$t_r(SCK)$	SPI 时钟上升/下降时间	负载电容: $C = 30 \text{ pF}$	-	-	5	ns

符号	参数	条件	最小值	典型值	最大值	单位
$t_r(\text{SCK})$						
DuCy(SCK)	SPI 从模式输入时钟占空比	从模式	45	-	55	%
$t_{su}(\text{NSS})$	NSS 建立时间	从模式	$4 \cdot T_{\text{pclk}}$	-	-	ns
$t_h(\text{NSS})$	NSS 保持时间	从模式	$2 \cdot T_{\text{pclk}}$	-	-	
$t_w(\text{SCKH})$ $t_w(\text{SCKL})$	SCK 高电平/低电平时间	主模式, presc = 4	$2 \cdot T_{\text{pclk}} - 1$	$2 \cdot T_{\text{pclk}}$	$2 \cdot T_{\text{pclk}} + 1$	
$t_{su}(\text{MI})$	数据输入建立时间	主模式 presc = 4	$T_{\text{pclk}} + 4^{(1)}$	-	-	
$t_{su}(\text{SI})$		从模式 presc = 4	3	-	-	
$t_h(\text{MI})$	数据输入保持时间	主模式	4	-	-	
$t_h(\text{SI})$		从模式	$T_{\text{pclk}} + 4$	-	-	
$t_a(\text{SO})$	数据输出访问时间	从模式 presc = 4	0	-	$3 \cdot T_{\text{pclk}}$	
$t_{dis}(\text{SO})$	数据输出禁止时间	从模式	$2 \cdot T_{\text{pclk}} + 5$	-	$4 \cdot T_{\text{pclk}} + 5$	
$t_v(\text{SO})$	数据输出有效时间	从模式 2.7 ~ 3.6V presc = 4	0	-	12 or $1.5 \cdot T_{\text{pclk}}^{(2)}$	
		从模式 1.8 ~ 3.6V presc = 4	0	-	18 or $1.5 \cdot T_{\text{pclk}}^{(2)}$	
$t_v(\text{MO})$		主模式 (使能边沿之后)	-	3.5	4.5	
$t_h(\text{SO})$	数据输出保持时间	从模式 (使能边沿之后) presc = 4	0 ⁽³⁾	-	-	
$t_h(\text{MO})$		主模式 (使能边沿之后)	2	-	-	

1. 主机在接收沿的前产生 1 PCLK 接收控制信号。
2. 从机基于 SCK 发送沿最大有 1 PCLK 延时, 考虑 IO 延时等, 定义 1.5 PCLK。
3. 在 主机发送的 SCK 占空比接收沿和发送沿之间宽的情况下, 从机在发送沿之前就更新数据。

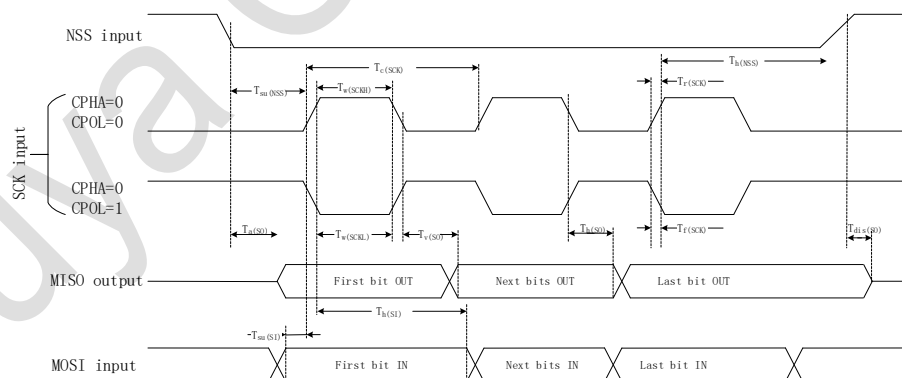
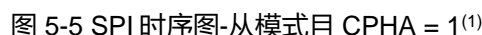


图 5-4 SPI 时序图-从模式且 CPHA = 0



-
- The diagram illustrates the timing relationships for an SPI interface. It shows four main signal lines: NSS input, SCK input, MISO input, and MOSI output. The SCK input is shown with two different phase and polarity configurations: CPHA=0, CPOL=0 and CPHA=0, CPOL=1. The MISO input and MOSI output are shown with data transfer cycles for MSB IN, BIT6 IN, LSB IN, MSB OUT, BIT1 OUT, and LSB OUT. Various timing parameters are indicated, including $T_{c(SCK)}$, $T_{in(MI)}$, $T_{w(SCK)}$, $T_{w(SCL)}$, $T_{h(MI)}$, $T_{s(MI)}$, $T_{s(MO)}$, and $T_{s(MO)}$.

1. 测量点设置于 CMOS 电平: $0.3V_{CC}$ 和 $0.7V_{CC}$

表 5-39 I²S 接口特性76/89

符号	参数	条件	最小值	最大值	单位
$t_{su}(W_s)$	W_s 建立时间	从模式	4	-	
$t_{su}(SD_MR)$	数据输入建立时间	主接收器	3	-	
$t_{su}(SD_SR)$		从接收器	4	-	
$t_h(SD_MR)$	数据输入保持时间	主接收器	5	-	
$t_h(SD_SR)$		从接收器	2	-	
$t_v(SD_ST)$	数据输出有效时间	从接收器 (使能边沿之后)	2.7 ~ 3.6 V	15	
			1.8 ~ 3.6 V	22	
$t_v(SD_MT)$		主接收器 (使能边沿之后)	-	2	
$t_h(SD_ST)$	数据输出保持时间	从接收器 (使能边沿之后)	7	-	
$t_h(SD_MT)$		主接收器 (使能边沿之后)	1	-	

1. $256 \times F_s$ 最大不超过 49.152 MHz

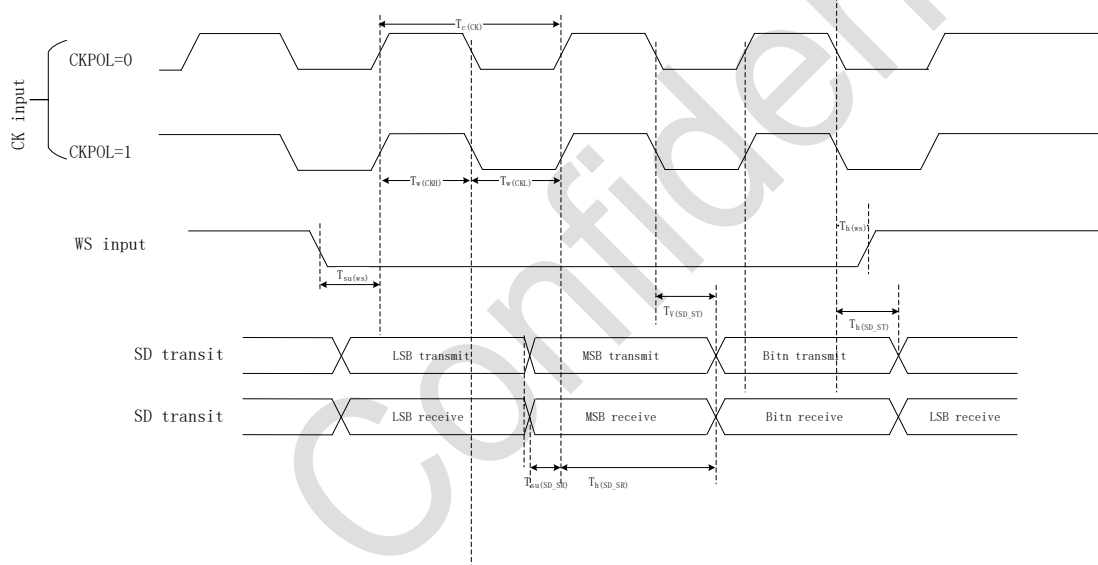


图 5-7 I²S 从模式时序图 (Philips 协议)

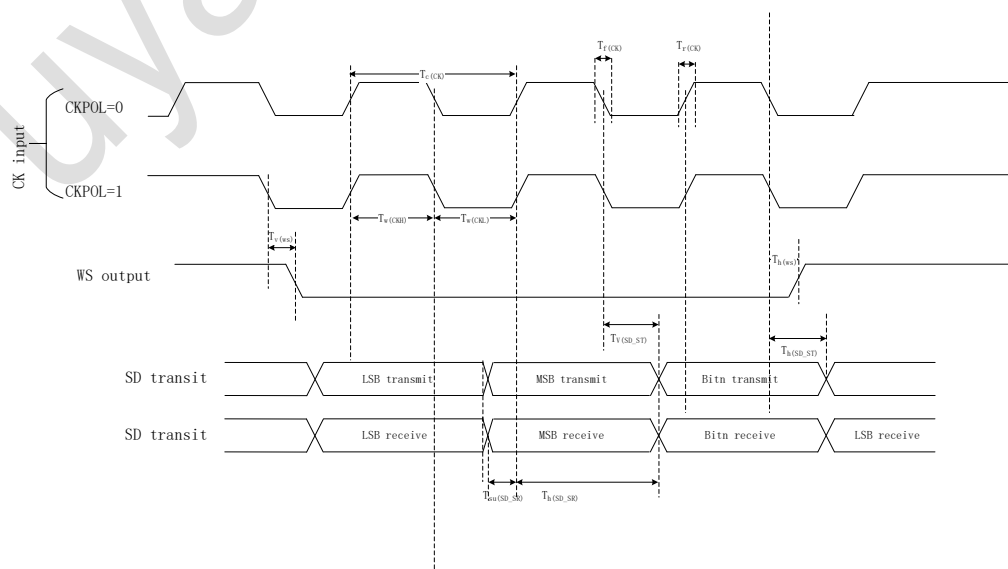


图 5-8 I²S 主模式时序图 (Philips 协议)

5.3.20.4. USB 特性

表 5-40 USB 启动时间

符号	参数	最大值	单位
$t_{START}^{(1)}$	USB 收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表 5-41 USB 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
V _{CC}	USB 工作电压 ⁽²⁾	-	3.0 ⁽³⁾	3.6	V
V _{DI} ⁽³⁾	差分输入灵敏度	I (USB_DP, USB_DM)	0.2	-	
V _{CM} ⁽³⁾	差分共模范围	包括 V _{DI} 范围	0.8	2.5	
V _{SE} ⁽³⁾	单端接收器阈值	-	1.3	2	
输出电平					
V _{OL}	静态输出低电平	R _L = 1.5 kΩ 接到 3.6 V ⁽⁴⁾	-	0.3	V
V _{OH}	静态输出高电平	R _L = 15 kΩ 接到 V _{SS} ⁽⁴⁾	2.8	3.6	

- 1. 所有的电压测量都是以设备端地线为准。
- 2. 本产品的 USB 功能可以低至 2.7 V，但不能保证在 V_{CC} 电压降低到 2.7 ~ 3.0 V 范围内完整的 USB 电气特性。
- 3. 由评估保证，不在生产中测试。
- 4. R_L 是连接到 USB 驱动器上的负载。

表 5-42 USB 全速电气特性 ⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_r	上升时间 ⁽²⁾	$C_L \leq 50\text{ pF}$	4	20	ns
t_f	下降时间 ⁽²⁾	$C_L \leq 50\text{ pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r/t_f	90	110	%
V_{CRS}	输出信号交叉电压	-	1.3	2.0	V

- 1. 由设计保证，不在生产中测试。
- 2. 测量数据信号从 10%至 90%。

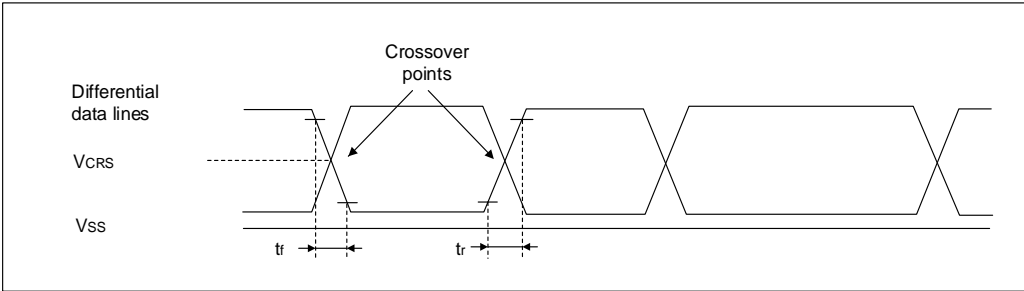


图 5-9 USB 时序：数据信号上升和下降时间定义

5.3.20.5. SD/SDIO MMC 卡主机接口特性

表 5-43 SD/MMC 特性

符号	参数	条件	最小值	最大值	单位
f _{PP}	数据传输模式下的时钟频率	C _L = 30 pF	0	48	MHz
t _{W(CKL)}	时钟低时间	f _{PP} = 48 MHz	8.5	-	ns
t _{W(CKH)}	时钟高时间	f _{PP} = 48 MHz	8.3	-	
MMC 和 SD HS 模式下的 CMD、D 输入 (以 CK 为基准)					
t _{ISU}	输入建立时间	f _{PP} = 48 MHz	3.5	-	ns
t _{IH}	输入保持时间	f _{PP} = 48 MHz	0	-	
MMC 和 SD HS 模式下的 CMD、D 输出 (以 CK 为基准)					
t _{OV}	输出有效时间	f _{PP} = 48 MHz	-	7	ns
t _{OH}	输出保持时间	f _{PP} = 48 MHz	3	-	
SD 默认模式下的 CMD、D 输入 (以 CK 为基准)					
t _{ISUD}	输入建立时间	f _{PP} = 24 MHz	1.5	-	ns
t _{IHD}	输入保持时间	f _{PP} = 24 MHz	0.5	-	
SD 默认模式下的 CMD、D 输出 (以 CK 为基准)					
t _{OVD}	输出有效默认时间	f _{PP} = 24 MHz	-	6.5	ns
t _{OHD}	输出保持默认时间	f _{PP} = 24 MHz	3.5	-	

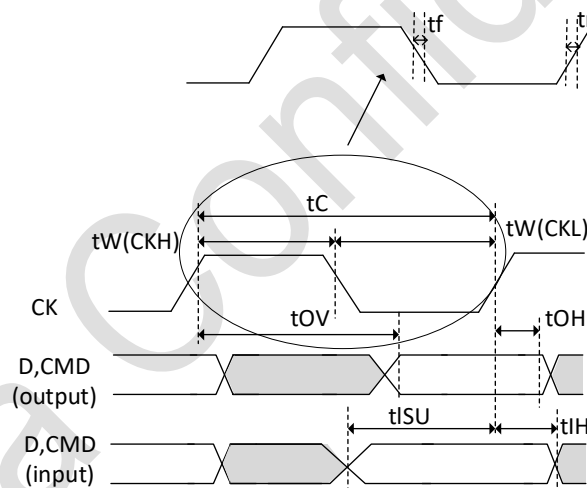


图 5-10 SDIO 高速模式

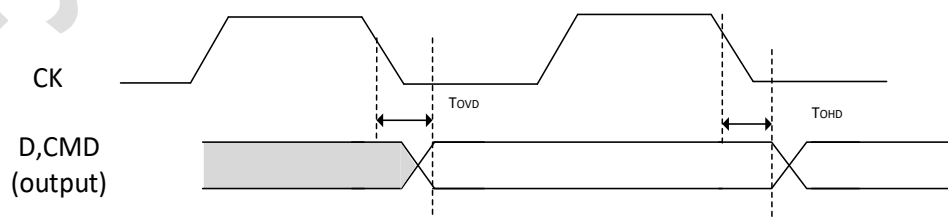


图 5-11 SD 默认模式

5.3.20.6. ESMC 特性

表 5-44 SDR 模式下的 ESMC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{QCK}	时钟频率	1.8 < V _{CC} < 3.6 V	-	-	24 ⁽²⁾	MHz
t _w (CKH)	时钟高电平/低电平时间	1.8 < V _{CC} < 3.6 V	t _{QCK} /2-0.5	-	t _{QCK} /2+1	ns
t _w (CKL)			t _{QCK} /2-1	-	t _{QCK} /2+0.5	
t _s (IN)	数据输入建立时间	1.8 < V _{CC} < 3.6 V	1	-	-	
t _h (IN)	数据输入保持时间	1.8 < V _{CC} < 3.6 V	5	-	-	
t _v (OUT)	数据输出有效时间	1.8 < V _{CC} < 3.6 V	-	1	1.5	
t _h (OUT)	数据输出保持时间	1.8 < V _{CC} < 3.6 V	0.5	-	-	

- 1. 由特性评估给出，不在生产中测试。
- 2. 该参数测试条件为单线及双线模式，四线及双四线模式下最大为 18 MHz。

表 5-45 DDR 模式下的 ESMC 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t _w (CKH)	时钟高电平/低电平时间	1.8 < V _{CC} < 3.6 V	t _{QCK} /2	-	t _{QCK} /2+1	ns
t _w (CKL)			t _{QCK} /2-1	-	t _{QCK} /2+0.5	
t _{sr} (IN)	数据输入建立时间（上升沿）	1.8 < V _{CC} < 3.6 V	2	-	-	
t _{sf} (IN)	数据输入建立时间（下降沿）	1.8 < V _{CC} < 3.6 V	2	-	-	
t _{hr} (IN)	数据输入保持时间（上升沿）	1.8 < V _{CC} < 3.6 V	5	-	-	
t _{hf} (IN)	数据输入保持时间（下降沿）	1.8 < V _{CC} < 3.6 V	5	-	-	
t _{vr} (OUT)	数据输出有效时间（下降沿）	1.8 < V _{CC} < 3.6 V	-	-	9	
t _{vf} (OUT)	数据输出有效时间（上升沿）	1.8 < V _{CC} < 3.6 V	-	-	11	
t _{hr} (OUT)	数据输出保持时间（上升沿）	1.8 < V _{CC} < 3.6 V	2	-	-	
t _{hf} (OUT)	数据输出保持时间（下降沿）	1.8 < V _{CC} < 3.6 V	3	-	-	

- 1. 由特性评估给出，不在生产中测试。

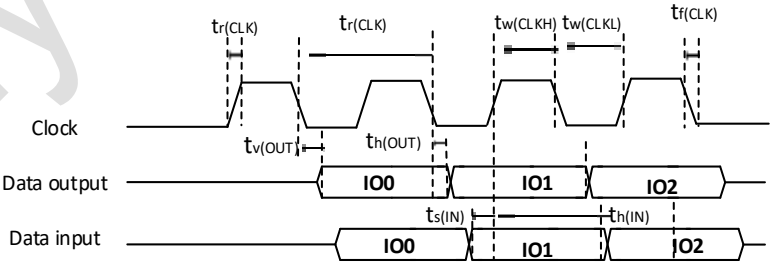


图 5-12 ESMC 时序图 – SDR 模式

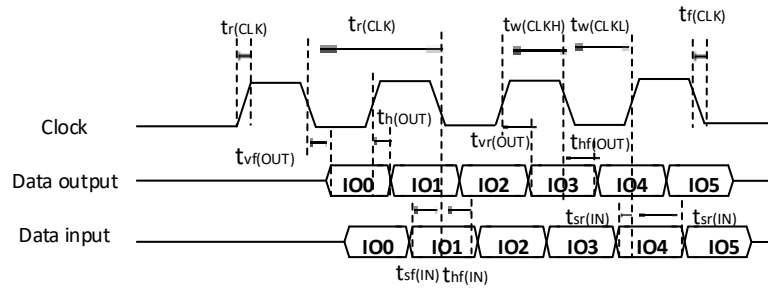


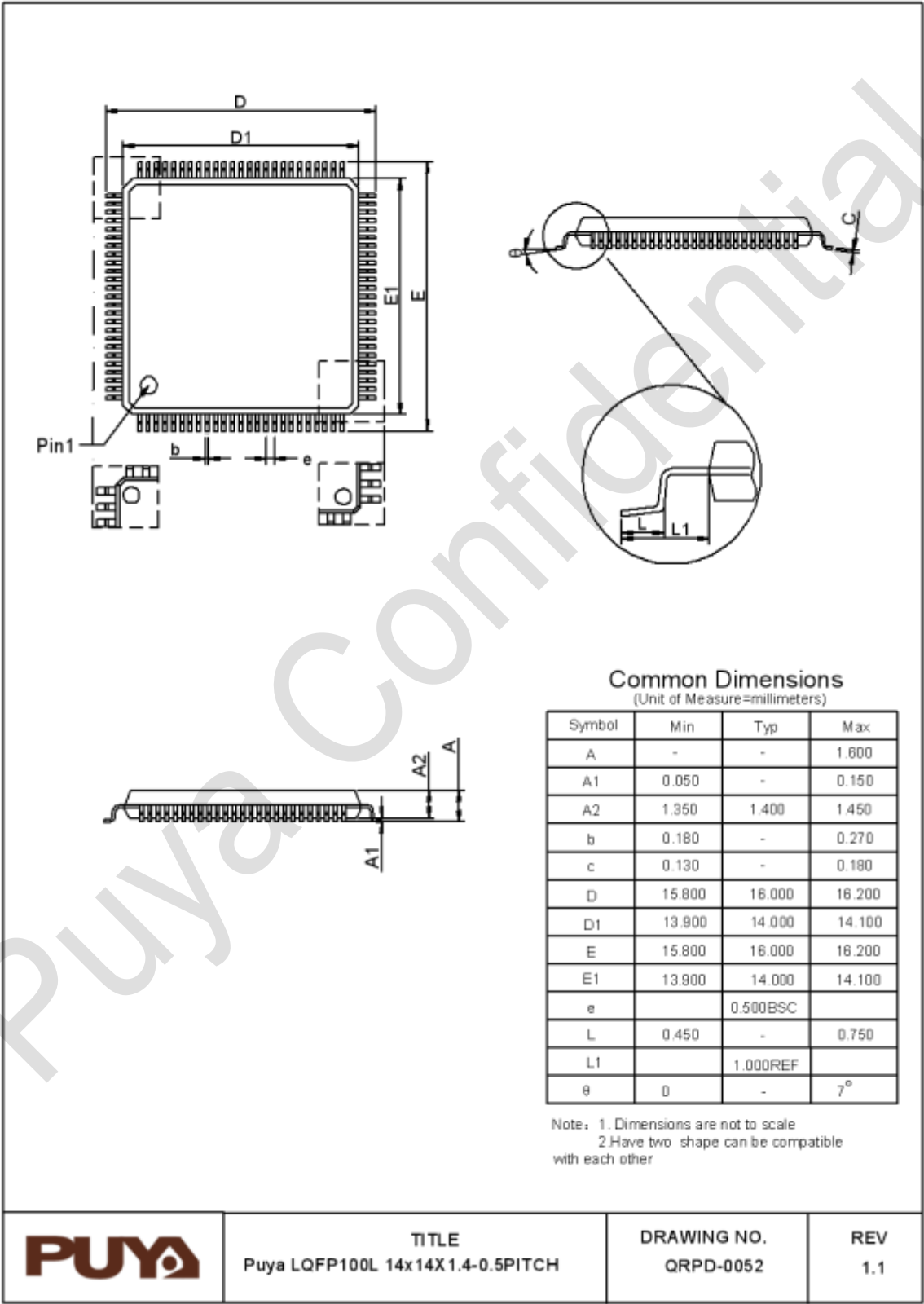
图 5-13 ESMC 时序图 – DDR 模式

5.3.20.7. CANFD 接口特性

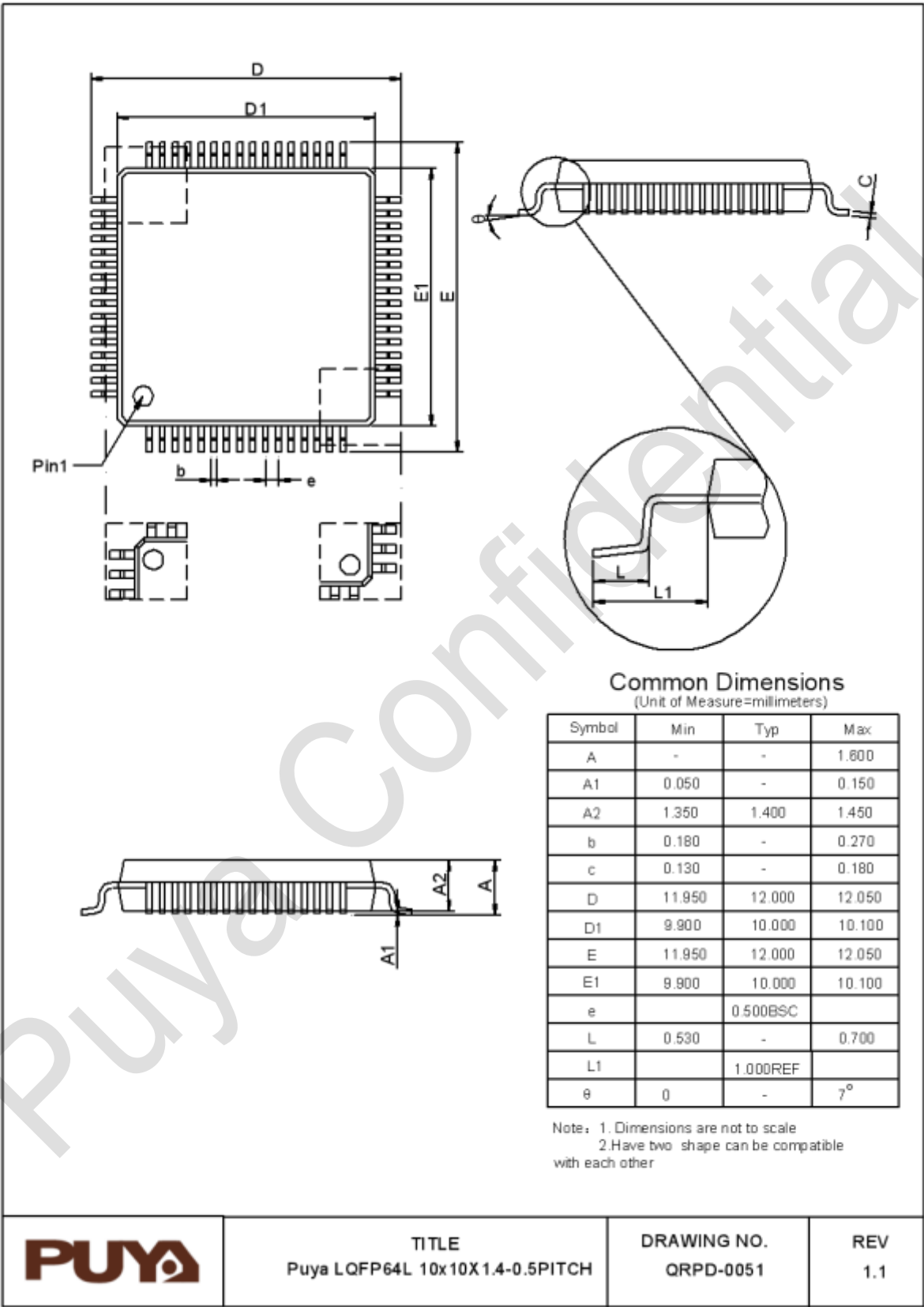
有关输入/输出复用功能引脚（CANFD_TX 和 CANFD_RX）的特性，参见 IO 端口特性章节。

6.封装信息

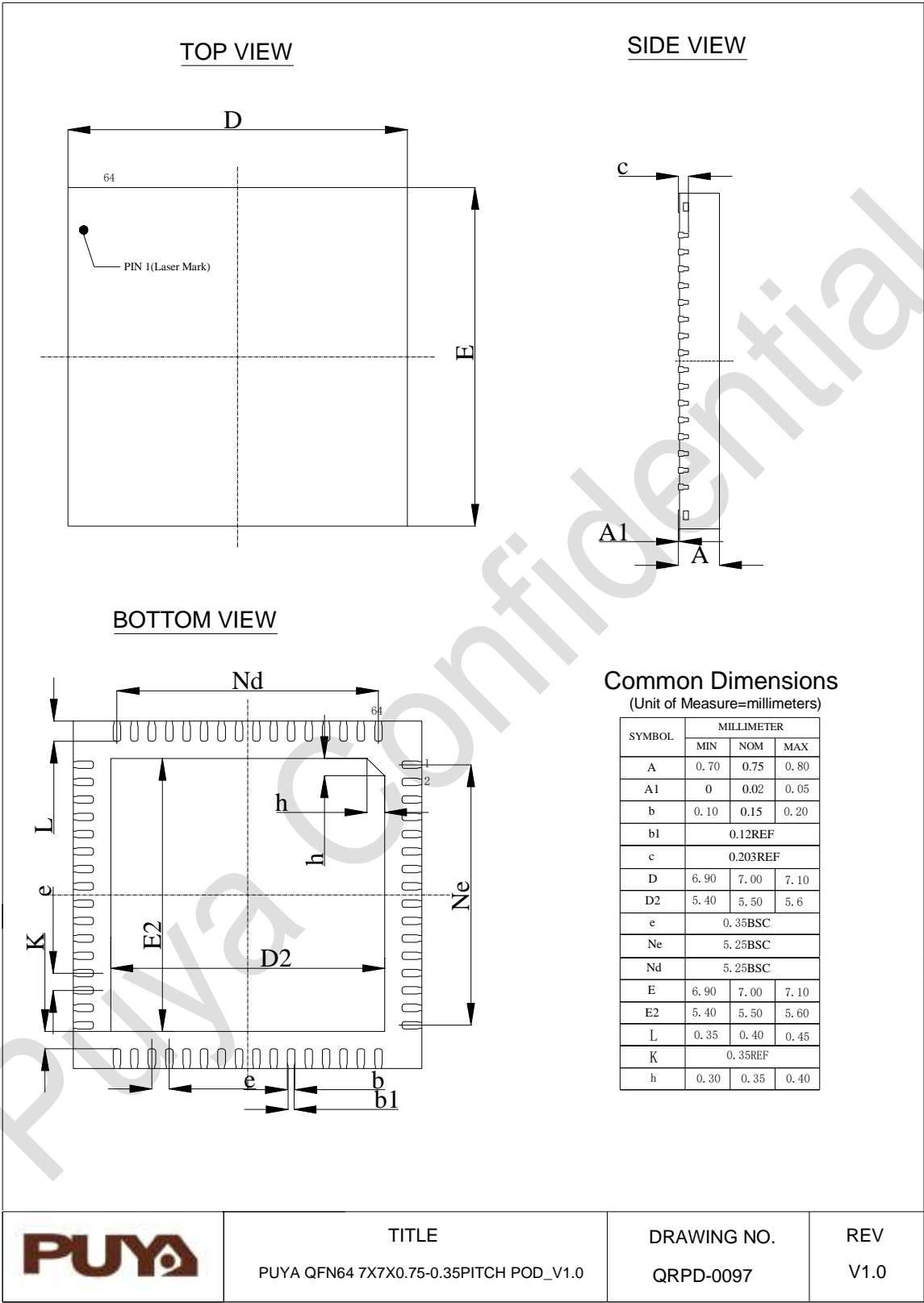
6.1. LQFP100 封装尺寸



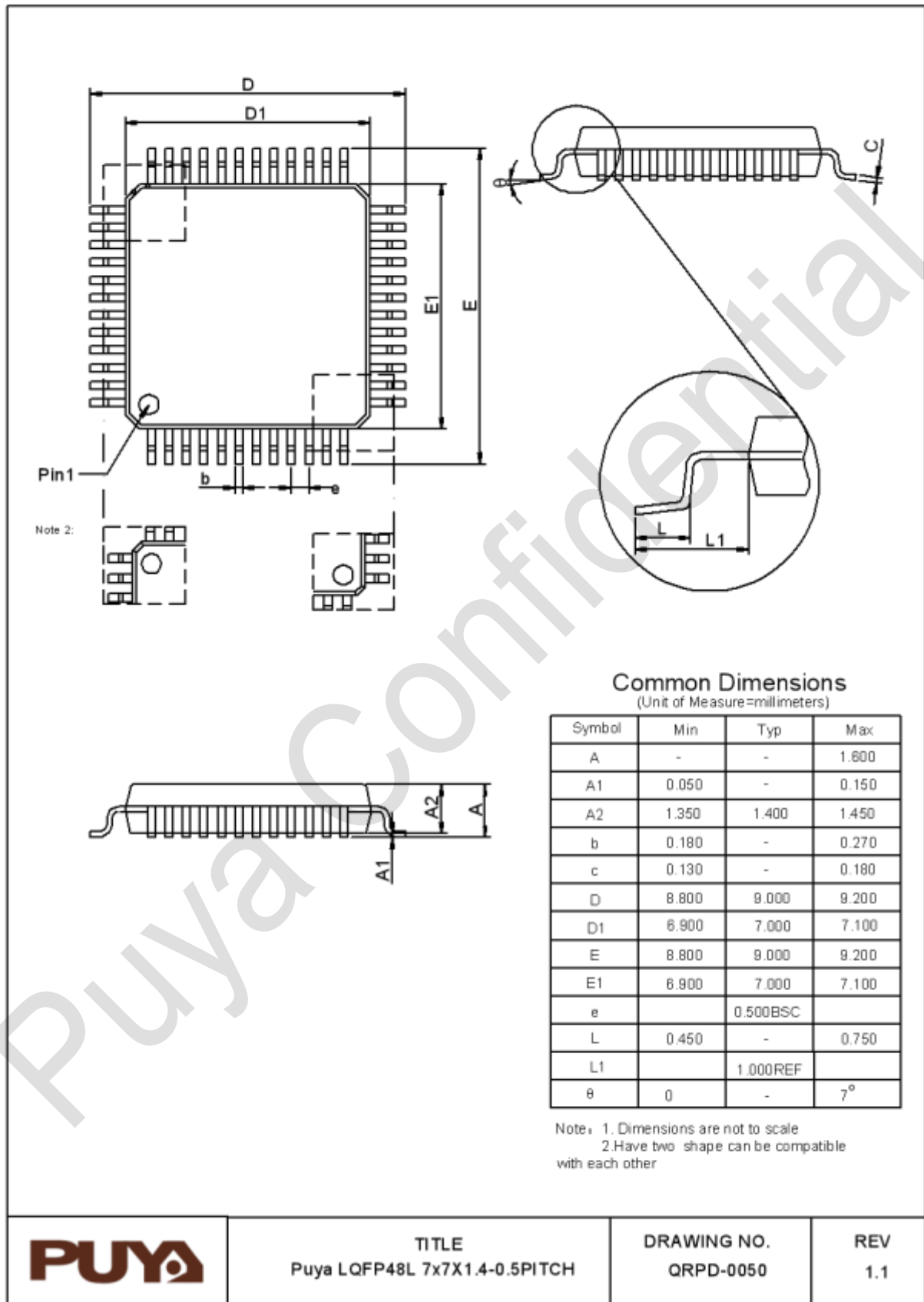
6.2. LQFP64 封装尺寸



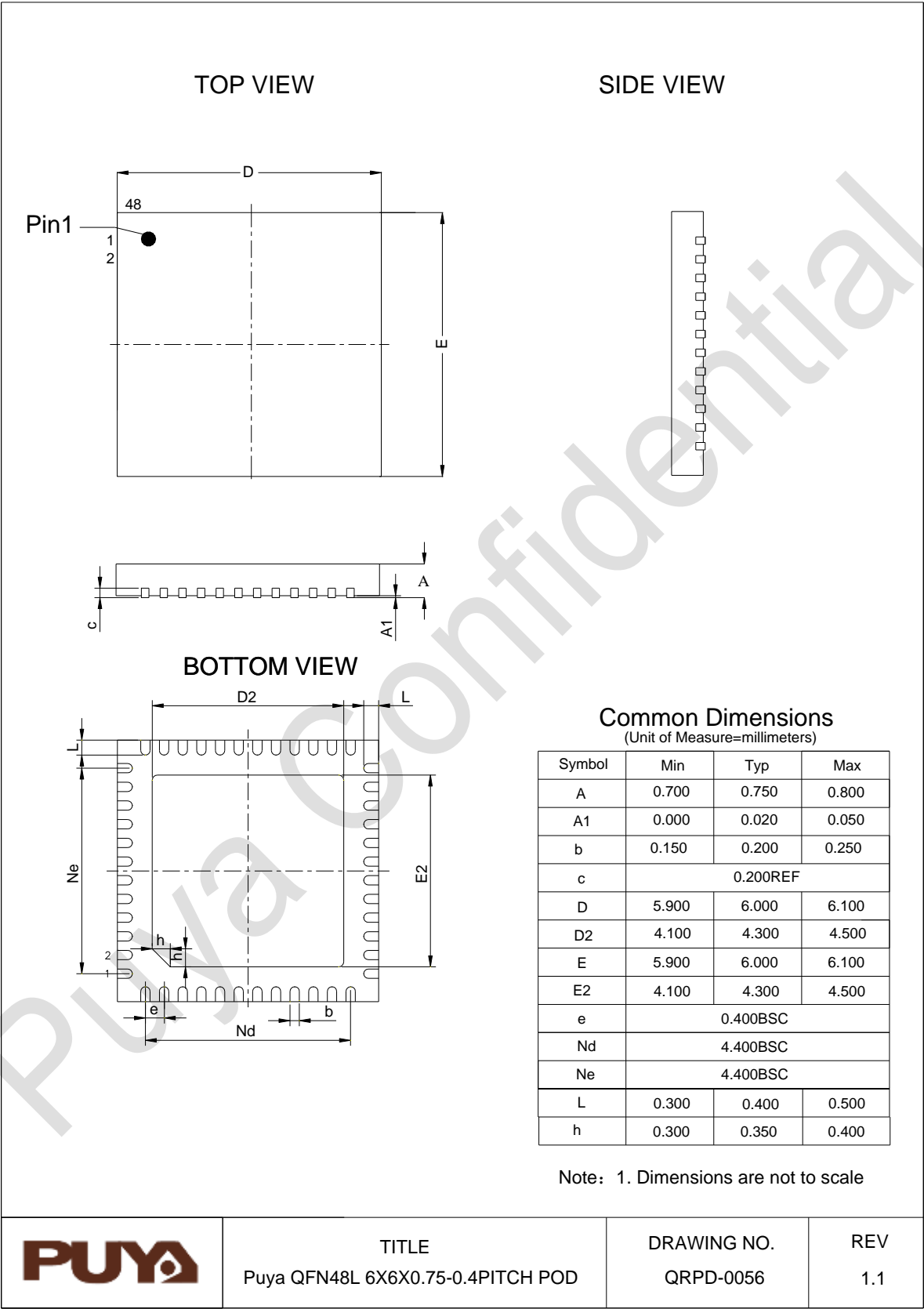
6.3. QFN64 封装尺寸



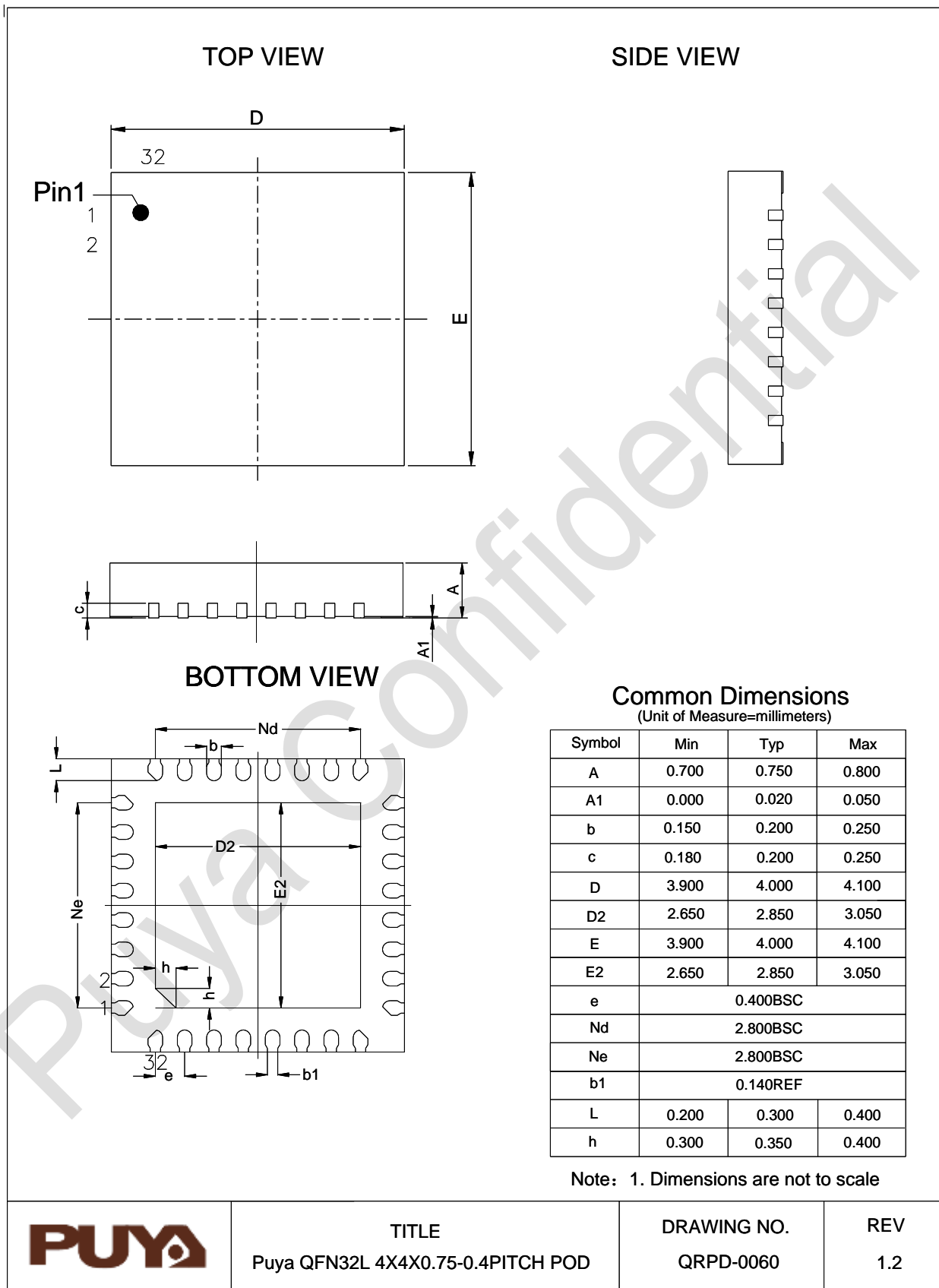
6.4. LQFP48 封装尺寸



6.5. QFN48 封装尺寸



6.6. QFN32 (4*4) 封装尺寸



7. 订购信息

Example:

	PY	32	F	403	V1	B	T	7	x	-	C
Company											
Product family	ARM [®] based 32-bit microcontroller										
Product type	F = General purpose										
Sub-family	403 = PY32403xx										
Pin count	V1 = 100 pins Pinout1 R1 = 64 pins Pinout1 C1 = 48 pins Pinout1 K1 = 32 pins Pinout1										
User code memory size	B =128 KB C =256 KB D =384 KB										
Package	U = QFN T = LQFP										
Temperature range	7 = -40 °C ~ + 105 °C										
Options	xxx = code ID of programmed parts(includes packing type) TR = tape and reel packing TU = tube packing blank = tray packing										
Delimiter character	-										
Version	C = Wafer version										

8. 版本历史

版本	日期	更新记录
V0.2	2025.06.11	初版
V0.3	2025.07.14	新增产品 PY32F403K1CU7-C
V0.4	2025.10.10	新增产品PY32F403C1CT7-C、PY32F403R1DT7-C 和 PY32F403R1DU7-C
V0.5	2026.1.8	1. 新增产品PY32F403C1DT7-C 2. 修改HSI8/HSI48特性表



Puya Semiconductor Co., Ltd.

声 明

普冉半导体(上海)股份有限公司（以下简称：“Puya”）保留更改、纠正、增强、修改 Puya 产品和/或本文档的权利，恕不另行通知。用户可在下单前获取产品的最新相关信息。

Puya 产品是依据订单时的销售条款和条件进行销售的。

用户对 Puya 产品的选择和使用承担全责，同时若用于其自己或指定第三方产品上的，Puya 不提供服务支持且不对此类产品承担任何责任。

Puya 在此不授予任何知识产权的明示或暗示方式许可。

Puya 产品的转售，若其条款与此处规定不一致，Puya 对此类产品的任何保修承诺无效。

任何带有 Puya 或 Puya 标识的图形或字样是普冉的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代并替换先前版本中的信息。

普冉半导体(上海)股份有限公司 - 保留所有权利